

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-335399

(43)公開日 平成8年(1996)12月17日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1		G 1 1 C 29/00	3 0 1 C
	3 0 3			3 0 3 B

審査請求 未請求 請求項の数23 O L (全 55 頁)

(21)出願番号 特願平7-140605

(22)出願日 平成7年(1995)6月7日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 前野 秀史

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

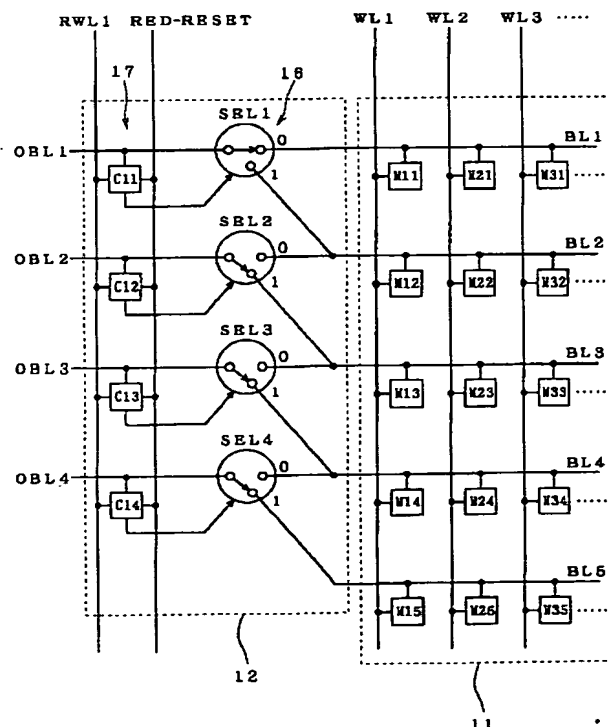
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 メモリ回路、メモリ回路のデータ制御回路、およびメモリ回路のアドレス指定回路

(57)【要約】

【目的】 高価なレーザ装置を用いることなく、半導体装置自身や半導体装置を含むコンピュータ等の装置自身によってテストを行って適切に冗長回路を切り替える。

【構成】 複数の外部ビット線OBL1～OBL4に夫々接続された制御メモリセルC11～C14によってセレクトSEL1～SEL4を制御し、外部ビット線OBL1～OBL4と内部ビット線BL1～BL5の対応関係を切り替えることにより不良を救済する。制御メモリセルC11～C14へのデータは、外部ビット線OBL1～OBL4から与える。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 複数のメモリセルが行列状に配列されてなるメモリセルアレイと、

前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、

前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の少なくとも 1 個の故障データを補償するよう制御する冗長制御回路と、

を備え、

前記外部接続線の配線数は前記内部接続線の配線数より少なく設定され、

前記冗長制御回路は、

前記外部接続線と同数の制御メモリセルを有し、前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し、前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、

前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセクタを有し、前記制御メモリセル群に記憶された値に応じて、前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに、前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し、且つ、前記故障データを有する内部接続線を境として他方向側に配された外部接続線を、当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセクタ群と、
を備えるメモリ回路。

【請求項 2】 請求項 1 記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続されたことを特徴とするメモリ回路。

【請求項 3】 請求項 1 記載のメモリ回路であって、前記制御メモリセル群の前記各制御メモリセルのデータ入力端子は、制御すべき前記セクタ群の前記各セクタが接続された前記外部接続線に対応づけられた前記内部接続線に夫々接続され、
前記制御メモリセル群の前記各制御メモリセルと前記セクタ群の前記各セクタとの間に、前記制御メモリセル群による制御の許否を切り替えるスイッチ素子が夫々介装されることを特徴とするメモリ回路。

【請求項 4】 複数のメモリセルが行列状に配列されてなるメモリセルアレイと、

前記メモリセルアレイの行方向および列方向の少なくと

も一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、

前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の 2 個の故障データを補償するよう制御する冗長制御回路と、
を備え、

前記外部接続線の配線数は前記内部接続線の配線数より 2 個だけ少なく設定され、

10 前記冗長制御回路は、

前記各外部接続線に対応して設けられ、連続して隣合った 3 個の前記内部接続線を夫々選択的に切り替えるための複数のセクタからなるセクタ群と、

前記セクタ群の前記各セクタの切替制御を行うよう前記各外部接続線ごとに 3 値のデータのうちの 1 値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、

を備えるメモリ回路。

【請求項 5】 請求項 4 記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続されたことを特徴とするメモリ回路。

【請求項 6】 請求項 1、請求項 3 または請求項 4 記載のメモリ回路であって、

前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、

30 前記制御メモリセルの前記セット端子または前記リセット端子は、前記メモリセルアレイの行方向および列方向の他方の内部接続線を制御するデコーダの余剰端子に接続されることを特徴とするメモリ回路。

【請求項 7】 請求項 4 記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、

前記制御メモリセルの前記セット端子または前記リセット端子は、専用デコーダの制御端子に接続されることを特徴とするメモリ回路。

40 【請求項 8】 請求項 2 記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有するメモリ回路のデータ制御回路。

50 【請求項 9】 請求項 8 記載のメモリ回路のデータ制御回路であって、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへ書

3

き込むための外部からの書込データとの少なくとも 2 種類の情報を選択する第 1 の選択手段をさらに有するメモリ回路のデータ制御回路。

【請求項 10】 請求項 9 記載のメモリ回路のデータ制御回路であって、前記第 1 の選択手段で選択された一方の情報を記憶するレジスタをさらに有するメモリ回路のデータ制御回路。

【請求項 11】 請求項 10 記載のメモリ回路のデータ制御回路であって、

前記第 1 の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへの外部からの前記書込データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも 3 種類の情報を選択するよう接続されることを特徴とするメモリ回路のデータ制御回路。

【請求項 12】 請求項 8 記載のメモリ回路のデータ制御回路であって、当該データ制御回路内の前記レジスタからの出力情報と外部からのテストデータとの少なくとも 2 種類の情報を選択する第 2 の選択手段をさらに有するメモリ回路のデータ制御回路。

【請求項 13】 請求項 2 記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、

前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも 2 種類の情報を選択する第 1 の選択手段と、

前記第 1 の選択手段で選択された情報を記憶するレジスタと、

前記レジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも 2 種類の情報を選択するよう接続される第 2 の選択手段と、

を備えるメモリ回路のデータ制御回路。

【請求項 14】 請求項 13 記載のメモリ回路のデータ制御回路であって、前記第 1 の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの読出データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも 3 種類の情報を選択するよう接続されることを特徴とするメモリ回路のデータ制御回路。

【請求項 15】 請求項 2 記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致であるか

4

否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、

前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも 2 種類の情報を選択する第 1 の選択手段と、

前記第 1 の選択手段で選択された情報を記憶する第 1 のレジスタと、

前記第 1 のレジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも 2 種類の情報を選択するよう接続される第 2 の選択手段と、

前記第 2 の選択手段で選択された情報を記憶する第 2 のレジスタと、

を備えるメモリ回路のデータ制御回路。

【請求項 16】 請求項 15 記載のメモリ回路のデータ制御回路であって、前記第 2 の選択手段は、前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データと前記第 1 のレジスタからの出力情報と外部からの前記テストデータとの少なくとも 3 種類の情報を選択するよう構成されたメモリ回路のデータ制御回路。

【請求項 17】 請求項 15 記載のメモリ回路のデータ制御回路であって、前記第 2 の選択手段は、当該データ制御回路内の前記第 1 のレジスタからの出力情報と当該データ制御回路に隣接する他のデータ制御回路からの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも 3 種類の情報を選択するよう構成されたメモリ回路のデータ制御回路。

【請求項 18】 請求項 5 記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、

前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して同一であるとの結果が得られたときに、前記制御メモリセル群の前記制御メモリセルに対して前記 3 値のデータのうちの第 1 の値を出力し、前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が最初に得られたときに、前記制御メモリセル群の前記制御メモリセルに対して前記 3 値のデータのうちの第 2 の値を出力し、前記期待値比較手段におい

5

て前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が2回目に得られたときに、前記制御メモリセル群の前記制御メモリセルに対して前記3値のデータのうちの第3の値を出力する制御データ発生手段と、を備えるメモリ回路のデータ制御回路。

【請求項19】 請求項18記載のメモリ回路のデータ制御回路であって、前記制御データ発生手段は、前記期待値比較手段からの出力情報が格納される第1のレジスタと、前記第1のレジスタに格納された情報および前記期待値比較手段からの出力情報が共に、前記メモリセルアレイの前記メモリセルからの前記読出データが所定の期待値に対して不一致である旨の値を示しているときにのみ当該不一致である旨の値を出力する不一致値出力手段と、前記不一致値出力手段からの出力情報が格納される第2のレジスタと、を備えるメモリ回路のデータ制御回路。

【請求項20】 請求項18記載のメモリ回路のデータ制御回路であって、外部から与えられまたは内部で発生されたテストデータと前記制御データ発生手段からの出力情報との少なくとも2種類の情報を選択する選択手段をさらに有するメモリ回路のデータ制御回路。

【請求項21】 請求項2または請求項5記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリ回路が複数の読出データを出力するよう構成されている場合に、前記メモリセルアレイの前記メモリセルからの全ての読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有するメモリ回路のデータ制御回路。

【請求項22】 請求項2または請求項5記載のメモリ回路の前記メモリセルアレイの行方向および列方向の前記外部接続線に接続されるデータ制御回路であって、前記メモリセルアレイの行方向および列方向のうち一方の外部接続線に接続される第1の制御部と、前記メモリセルアレイの行方向および列方向のうち他方の外部接続線に接続される第2の制御部と、を備え、前記第1の制御部は、前記メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段からの出力情報を格納して前記一方

6

の外部接続線に出力する第1のレジスタと、を備え、

前記第2の制御部は、前記第1の制御部の前記期待値比較手段からの出力情報を格納して前記他方の外部接続線に出力する第2のレジスタを有するメモリ回路のデータ制御回路。

【請求項23】 請求項1乃至請求項7のいずれかに記載のメモリ回路の前記複数の外部接続線に接続され、前記メモリ回路の一端部から他端部に向かう方向に前記外部接続線を順次指定するアドレス指定回路であって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路と、前記全周期系列データ出力回路からの出力情報に基づいて前記外部接続線を順次指定するデコーダと、を備え、

前記デコーダは、前記全周期系列データ出力回路に接続される所定の入力ビット数の入力端子と、

前記外部接続線に接続され、前記全周期系列データ出力回路から出力される全周期系列データの順序に従って一端から他端の方向へ順次配列された所定の出力ビット数の出力端子と、

前記入力端子の前記入力ビット数の値を前記出力端子の前記出力ビット数の値に変換する論理回路部と、

前記論理回路部と前記出力端子の間に介装され、前記論理回路部からの前記所定の出力ビット数の信号を前記出力端子の順序に並び替えるビット順序変換配線と、

を備えることを特徴とするメモリ回路のアドレス指定回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、冗長機能付きメモリ回路、当該メモリ回路のデータ制御回路、および当該メモリ回路のアドレス指定回路に関する。

【0002】

【従来の技術】

【第1の従来例】 図54は第1の従来例のメモリ回路を示す回路図である。第1の従来例のメモリ回路は、メモリセルアレイ1がカラム冗長制御回路(COL-RED-CTRL)2に接続されており、カラム冗長制御回路2内のフューズF1～F4の切断によってセレクトSEL1～SEL4を制御し、外部ビット線OBL1～OBL4とメモリセルアレイ1内の内部ビット線BL1～BL5との対応関係を切り替えることにより、メモリセルM11～M15, M21～M25, M31～M35, …における不良を救済するよう構成されたものである。

【0003】 すなわち、例えば、内部ビット線BL2に断線またはショート故障が発生した場合や、内部ビット線BL2に接続されたメモリセルM12, M22, M3

7

2, …に故障が発生した場合、レーザ光線の照射によって図54のようにフューズF2を切断することで、ノードN1=「0」、N2=「1」、N3=「1」、N4=「1」とし、セクタSEL2~SEL4を「0」から「1」に接点切替を行う。そして、外部ビット線OBL1と内部ビット線BL1、外部ビット線OBL2と内部ビット線BL3、外部ビット線OBL3と内部ビット線BL4、外部ビット線OBL4と内部ビット線BL5を夫々対応させる。

【0004】通常、動作用メモリセルM11~M15, M21~M25, M31~M35, …は、外部ビット線OBL1~OBL4からアクセスされるので、内部ビット線BL2に関する故障は外部からは観測されず、あたかも故障のないメモリ回路のように動作させることができる。

【0005】なお、図54では、外部ビット線OBL1~OBL4、フューズF1~F4、およびセクタSEL1~SEL4の個数を便宜上それぞれ4個として記載しているが、実際にはこれらは数多く存在することになる。

【0006】第2の従来例 図55は、第2の従来例のメモリ回路を示す回路図である。なお、図55では、図54に示した第1の従来例と同様の機能を有するものについては同一符号を付している。第2の従来例のメモリ回路は、メモリセルアレイ1がロウ冗長制御回路(ROW-RED-CTRL)3に接続されており、ロウ冗長制御回路3内のフューズF1~F4の切断によってセクタSEL1~SEL4を制御し、外部ワード線OWL1~OWL4とメモリセルアレイ1内の内部ワード線WL1~WL5との対応関係を切り替えることにより、メモリセルM11~M13…、M21~M23…、M31~M33…、M41~M43…、M51~M53…における不良を救済するよう構成されたものである。

【0007】すなわち、例えば、ワード線WL2に断線またはショート故障が発生した場合や、ワード線WL2に接続されたメモリセルM21~M23…に故障が発生した場合、レーザ光線の照射によって図55のようにフューズF2を切断することで、ノードN1=「0」、N2=「1」、N3=「1」、N4=「1」とし、セクタSEL2~SEL4を「0」から「1」に接点切替を行う。そして、外部ワード線OWL1と内部ワード線WL1、外部ワード線OWL2と内部ワード線WL3、外部ワード線OWL3と内部ワード線WL4、外部ワード線OWL4と内部ワード線WL5を夫々対応させる。

【0008】通常、動作用メモリセルM11~M13…、M21~M23…、M31~M33…、M41~M43…、M51~M53…は、外部ワード線OWL1~OWL4からアクセスされるので、内部ワード線WL2に関する故障は外部からは観測されず、あたかも故障のないメモリ回路のように動作させることができる。

8

【0009】なお、図55では、外部ワード線OWL1~OWL4、フューズF1~F4、およびセクタSEL1~SEL4の個数を便宜上それぞれ4個として記載しているが、実際にはこれらは数多く存在することになる。

【0010】

【発明が解決しようとする課題】第1の従来例および第2の従来例では、カラム冗長制御回路2またはロウ冗長制御回路3にフューズF1~F4を用い、故障の場合にフューズF1~F4のレーザ光線による切断作業を実施していたが、この方法だと、メモリテスト後の製造工程ラインにレーザ装置を必ず設置する必要がある。しかしながら、故障の場合だけにしか使用しない(すなわち使用頻度が低い)割には、レーザ装置は極めて高価であり、製造コストが非常に高くなるという問題があった。

【0011】本発明は、上記課題に鑑み、高価なレーザ装置を用いることなく、半導体装置自身や半導体装置を含むコンピュータ等の装置自身によってテストを行って適切な冗長回路の切り替えを行い得るメモリ回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の請求項1に係る課題解決手段は、複数のメモリセルが行列状に配列されてなるメモリセルアレイと、前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、前記メモリセルアレイと前記外部接続線との間に介装され前記メモリセルアレイに故障が発生した際の少なくとも1個の故障データを補償するよう制御する冗長制御回路と、を備える。

【0013】また、前記外部接続線の配線数は前記内部接続線の配線数より少なく設定される。

【0014】そして、前記冗長制御回路は、前記外部接続線と同数の制御メモリセルを有し前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセクタを有し前記制御メモリセル群に記憶された値に応じて前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し且つ前記故障データを有する内部接続線を境として他方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセクタ群

と、を備える。

【0015】本発明の請求項2に係る課題解決手段は、請求項1記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続される。

【0016】本発明の請求項3に係る課題解決手段は、請求項1記載のメモリ回路であって、前記制御メモリセル群の前記各制御メモリセルのデータ入力端子は、制御すべき前記セクタ群の前記各セクタが接続された前記外部接続線に対応づけられた前記内部接続線に夫々接続され、前記制御メモリセル群の前記各制御メモリセルと前記セクタ群の前記各セクタとの間に、前記制御メモリセル群による制御の許可を切り替えるスイッチ素子が夫々介装される。

【0017】本発明の請求項4に係る課題解決手段は、複数のメモリセルが行列状に配列されてなるメモリセルアレイと、前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、前記メモリセルアレイと前記外部接続線との間に介装され前記メモリセルアレイに故障が発生した際の2個の故障データを補償するように制御する冗長制御回路と、を備える。

【0018】また、前記外部接続線の配線数は前記内部接続線の配線数より2個だけ少なく設定される。

【0019】そして、前記冗長制御回路は、前記各外部接続線に対応して設けられ連続して隣合った3個の前記内部接続線を夫々選択的に切り替えるための複数のセクタからなるセクタ群と、前記セクタ群の前記各セクタの切替制御を行うよう前記各外部接続線ごとに3値のデータのうちの1値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、を備える。

【0020】本発明の請求項5に係る課題解決手段は、請求項4記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続される。

【0021】本発明の請求項6に係る課題解決手段は、請求項1、請求項3または請求項4記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、前記制御メモリセルの前記セット端子または前記リセット端子は、前記メモリセルアレイの行方向および列方向の他方の内部接続線を制御するデコーダの余剰端子に接続される。

【0022】本発明の請求項7に係る課題解決手段は、請求項4記載のメモリ回路であって、前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット

機能付き、またはリセット端子を有するリセット機能付きのものが使用され、前記制御メモリセルの前記セット端子または前記リセット端子は、専用デコーダの制御端子に接続される。

【0023】本発明の請求項8に係る課題解決手段は、請求項2記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有する。

【0024】本発明の請求項9に係る課題解決手段は、請求項8記載のメモリ回路のデータ制御回路であって、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも2種類の情報を選択する第1の選択手段をさらに有する。

【0025】本発明の請求項10に係る課題解決手段は、請求項9記載のメモリ回路のデータ制御回路であって、前記第1の選択手段で選択された一方の情報を記憶するレジスタをさらに有する。

【0026】本発明の請求項11に係る課題解決手段は、請求項10記載のメモリ回路のデータ制御回路であって、前記第1の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへの外部からの前記書込データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも3種類の情報を選択するよう接続される。

【0027】本発明の請求項12に係る課題解決手段は、請求項8記載のメモリ回路のデータ制御回路であって、当該データ制御回路内の前記レジスタからの出力情報と外部からのテストデータとの少なくとも2種類の情報を選択する第2の選択手段をさらに有する。

【0028】本発明の請求項13に係る課題解決手段は、請求項2記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも2種類の情報を選択する第1の選択手段と、前記第1の選択手段で選択された情報を記憶するレジスタと、前記レジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも2種類の情報を選択するよう接続される

第2の選択手段と、を備える。

【0029】本発明の請求項14に係る課題解決手段は、請求項13記載のメモリ回路のデータ制御回路であって、前記第1の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの読出データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも3種類の情報を選択するよう接続される。

【0030】本発明の請求項15に係る課題解決手段は、請求項2記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも2種類の情報を選択する第1の選択手段と、前記第1の選択手段で選択された情報を記憶する第1のレジスタと、前記第1のレジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも2種類の情報を選択するよう接続される第2の選択手段と、前記第2の選択手段で選択された情報を記憶する第2のレジスタと、を備える。

【0031】本発明の請求項16に係る課題解決手段は、請求項15記載のメモリ回路のデータ制御回路であって、前記第2の選択手段は、前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データと前記第1のレジスタからの出力情報と外部からの前記テストデータとの少なくとも3種類の情報を選択するよう構成される。

【0032】本発明の請求項17に係る課題解決手段は、請求項15記載のメモリ回路のデータ制御回路であって、前記第2の選択手段は、当該データ制御回路内の前記第1のレジスタからの出力情報と当該データ制御回路に隣接する他のデータ制御回路からの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも3種類の情報を選択するよう構成されている。

【0033】本発明の請求項18に係る課題解決手段は、請求項5記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段において前記メモリセルアレイの前記メモリセルから

の前記読出データが前記所定の期待値に対して同一であるとの結果が得られたときに前記制御メモリセル群の前記制御メモリセルに対して前記3値のデータのうちの第1の値を出力し前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が最初に得られたときに前記制御メモリセル群の前記制御メモリセルに対して前記3値のデータのうちの第2の値を出力し前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が2回目に得られたときに前記制御メモリセル群の前記制御メモリセルに対して前記3値のデータのうちの第3の値を出力する制御データ発生手段と、を備える。

【0034】本発明の請求項19に係る課題解決手段は、請求項18記載のメモリ回路のデータ制御回路であって、前記制御データ発生手段は、前記期待値比較手段からの出力情報が格納される第1のレジスタと、前記第1のレジスタに格納された情報および前記期待値比較手段からの出力情報が共に前記メモリセルアレイの前記メモリセルからの前記読出データが所定の期待値に対して不一致である旨の値を示しているときにのみ当該不一致である旨の値を出力する不一致値出力手段と、前記不一致値出力手段からの出力情報が格納される第2のレジスタと、を備える。

【0035】本発明の請求項20に係る課題解決手段は、請求項18記載のメモリ回路のデータ制御回路であって、外部から与えられまたは内部で発生されたテストデータと前記制御データ発生手段からの出力情報との少なくとも2種類の情報を選択する選択手段をさらに有する。

【0036】本発明の請求項21に係る課題解決手段は、請求項2または請求項5記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリ回路が複数の読出データを出力するよう構成されている場合に、前記メモリセルアレイの前記メモリセルからの全ての読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有する。

【0037】本発明の請求項22に係る課題解決手段は、請求項2または請求項5記載のメモリ回路の前記メモリセルアレイの行方向および列方向の前記外部接続線に接続されるデータ制御回路であって、前記メモリセルアレイの行方向および列方向のうち一方の外部接続線に接続される第1の制御部と、前記メモリセルアレイの行方向および列方向のうち他方の外部接続線に接続される第2の制御部と、を備える。

【0038】そして、前記第1の制御部は、前記メモリ

セルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段からの出力情報を格納して前記一方の外部接続線に出力する第 1 のレジスタと、を備える。

【0039】また、前記第 2 の制御部は、前記期待値比較手段からの出力情報を格納して前記他方の外部接続線に出力する第 2 のレジスタを有する。

【0040】本発明の請求項 23 に係る課題解決手段は、請求項 1 乃至請求項 7 のいずれかに記載のメモリ回路の前記複数の外部接続線に接続され前記メモリ回路の一端部から他端部に向かう方向に前記外部接続線を順次指定するアドレス指定回路であって、予め設定された演算式に基づいて一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路と、前記全周期系列データ出力回路からの出力情報に基づいて前記外部接続線を順次指定するデコーダと、を備える。

【0041】そして、前記デコーダは、前記全周期系列データ出力回路に接続される所定の入力ビット数の入力端子と、前記外部接続線に接続され前記全周期系列データ出力回路から出力される全周期系列データの順序に従って一端から他端の方向へ順次配列された所定の出力ビット数の出力端子と、前記入力端子の前記入力ビット数の値を前記出力端子の前記出力ビット数の値に変換する論理回路部と、前記論理回路部と前記出力端子の間に介装され前記論理回路部からの前記所定の出力ビット数の信号を前記出力端子の順序に並び替えるビット順序変換配線と、を備える。

【0042】

【作用】本発明請求項 1 に係るメモリ回路では、第 1 の従来例および第 2 の従来例のようにフューズをレーザ光線によって切断しなくても、図 1、図 2、図 33、図 34 の如く、制御メモリセル群の各制御メモリセル内に格納した値によってセレクト群の各セレクトを切り替えることで、適切な冗長回路の切り替えを行うことができる。したがって、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【0043】本発明請求項 2 に係るメモリ回路では、図 1、図 2、図 3、図 33、図 34、図 35 の如く、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えてやればよい。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【0044】本発明請求項 3 に係るメモリ回路では、図

3、図 35 の如く、制御メモリセル群の各制御メモリセルをメモリセルアレイの内部接続線に夫々接続することで、制御メモリセル群とメモリセルアレイとを隣接させて同一規格で同時に形成することができ、例えばメモリセルアレイの余剰列部分を制御メモリセル群として使用することができる。

【0045】この場合において、制御メモリセルの値によっては、セレクトの切り替えによって外部接続線と制御メモリセルとが非接続状態になることがあり、このままの状態では、例えばメモリセルアレイの故障を修理した後であっても、永遠に外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことができなくなってしまう、セレクトの切り替えが不可能になるおそれがある。そこで、請求項 3 では、スイッチ素子によって制御メモリセル群による制御の可否を切り替え、セレクトを切り替えることで、外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことを可能とする。

【0046】本発明請求項 4 に係るメモリ回路では、図 4、図 5、図 6、図 8、図 9、図 26、図 27、図 36、図 37、図 38、図 39、図 40 の如く、制御メモリセル群の制御メモリセルによって、各外部接続線ごとに 3 値のデータのうちの 1 値を選択的にセレクト群の各セレクトへ出力し、これにしたがって、セレクト群の各セレクトは、連続して隣合った 3 個の内部接続線を夫々選択的に切り替える。そうすると、内部接続線の故障を最大 2 本まで救済できる。しかも、請求項 1 と同様、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【0047】本発明請求項 5 に係るメモリ回路では、図 4、図 36 の如く、請求項 4 のような 2 ビット救済の冗長機能を有する場合に、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えてやればよい。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【0048】本発明請求項 6 に係るメモリ回路では、図 10 の如く、制御メモリセルのセット動作またはリセット動作を、アドレス指定用のデコーダの余剰端子を利用して行うことができ、専用の制御回路によってセット動作またはリセット動作を行う場合に比べて、回路効率を高めることができる。

【0049】本発明請求項 7 に係るメモリ回路では、図 17 の如く、制御メモリセルのセット動作またはリセット動作を、専用デコーダを用いて行うことができ、当該専用デコーダに与える信号の管理等、制御が容易になる。

【0050】本発明請求項 8 に係るメモリ回路のデータ

制御回路では、図 11、図 12、図 28、図 29、図 31、図 41、図 42 (a)、図 42 (b)、図 42 (c)、図 43、図 44 の如く、メモリセルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致である場合、期待値比較手段によってその旨を判断し、その結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生する。このように、故障データを自動的に検出して、メモリ回路の制御を行うことができ、効率的な冗長切替を行うことができる。

【0051】本発明請求項 9 に係るメモリ回路のデータ制御回路では、図 11、図 12、図 28、図 29、図 31 の如く、メモリセルアレイのメモリセルへの書込データと、制御メモリセル群の制御メモリセルへの制御用の値とを、第 1 の選択手段を切り替えることで容易に選択して外部接続線へ与えることができ、制御メモリセル群に対する専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【0052】本発明請求項 10 に係るメモリ回路のデータ制御回路では、図 12、図 28、図 29、図 31 の如く、第 1 の選択手段で選択された一方の情報を、レジスタによって保持することで、データの取扱いが便利になる。

【0053】本発明請求項 11 に係るメモリ回路のデータ制御回路では、図 12、図 13、図 16、図 28、図 29、図 30、図 31、図 32 (a)、図 32 (b) の如く、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第 1 の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力する。これにより、スキャンデータの効率良い供給を行うことができる。

【0054】本発明請求項 12 に係るメモリ回路のデータ制御回路では、図 12、図 31 の如く、第 2 の選択手段によって、テスト時の書込データと、期待値比較手段からの出力情報とを適宜選択して外部接続線へ出力する。これにより、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0055】本発明請求項 13 に係るメモリ回路のデータ制御回路では、図 14 の如く、第 1 の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイからの読出データとの少なくとも 2 種類の情報を選択し、第 2 の選択手段によって、第 1 の選択手段およびレジスタからの出力情報とメモリセルアレイへ書き込むための書込データとを選択する。すなわち、1 個のデータ制御回路で、書込データおよび読出データの両方を取り扱うことができ、夫々専用の回路を用いる場合に比べて回路効率を高め得る。この場合、特に、読出データに故障があるときには、第 1 の選択手段および第 2

の選択手段の切り替えによって、期待値比較手段で発生された制御用の値をメモリ回路の制御メモリセル群に与えることができるため、容易に冗長制御を行うことができる。

【0056】本発明請求項 14 に係るメモリ回路のデータ制御回路では、図 14、図 13、図 16、図 30 の如く、第 1 の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイのメモリセルからの読出データと、当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも 3 種類の情報を選択して外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0057】本発明請求項 15 に係るメモリ回路のデータ制御回路では、図 15 の如く、第 1 の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイからの読出データとの少なくとも 2 種類の情報を選択し、第 2 の選択手段によって、第 1 の選択手段および第 1 のレジスタからの出力情報とメモリセルアレイへ書き込むための書込データとを選択する。すなわち、1 個のデータ制御回路で、書込データおよび読出データの両方を取り扱うことができ、夫々専用の回路を用いる場合に比べて回路効率を高め得る。この場合、特に、読出データに故障があるときには、第 1 の選択手段および第 2 の選択手段の切り替えによって、期待値比較手段で発生された制御用の値をメモリ回路の制御メモリセル群に与えることができるため、容易に冗長制御を行うことができる。

【0058】本発明請求項 16 に係るメモリ回路のデータ制御回路では、図 15 の如く、第 2 の選択手段によって、メモリセルアレイのメモリセルへ書き込むための外部からの書込データと、レジスタからの出力情報と、外部からのテストデータとの少なくとも 3 種類の情報を選択し、外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0059】本発明請求項 17 に係るメモリ回路のデータ制御回路では、図 15 の如く、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第 2 の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力する。これにより、スキャンデータの効率良い供給を行うことができる。また、当該スキャンデータと、当該データ制御回路内の第 1 の選択手段およびレジスタからの出力情報と、メモリセルアレイのメモリセルへ書き込むための外部からの書込データとを適宜選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大

を防止できる。

【0060】本発明請求項18に係るメモリ回路のデータ制御回路では、図18、図19、図46、図47、図48の如く、期待値比較手段によって、メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生する。そして、かかる制御用の値に基づいて、制御データ発生手段は、請求項5記載の2ビット冗長機能を有するメモリ回路を適切に制御する。すなわち、メモリセルアレイのメモリセルからの読出データが所定の期待値に対して同一であるとの結果が得られたときに、期待値比較手段は、制御メモリセル群の制御メモリセルに対して3値のデータのうちの第1の値を出力する。また、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が最初に得られたときに、期待値比較手段は、制御メモリセル群の制御メモリセルに対して3値のデータのうちの第2の値を出力する。そして、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が2回目に得られたときに、期待値比較手段は、制御メモリセル群の制御メモリセルに対して3値のデータのうちの第3の値を出力する。これによって、2ビットの故障を容易に救済できる。

【0061】本発明請求項19に係るメモリ回路のデータ制御回路では、図18、図19、図46、図47、図48の如く、1回目の故障検出時には、第1のレジスタに制御用の値を格納し、ここからメモリ回路の制御メモリセル群にデータを与えればよい。また、2回目の故障検出時には、第1のレジスタが既に不一致である旨の値を示しており、且つ、期待値比較手段からの出力情報が不一致である旨の値を示していることを不一致値出力手段によって検出し、ここからの出力情報を第2のレジスタに格納した後、メモリ回路の制御メモリセル群に与える。これにより、メモリ回路の2ビットの故障を容易に救済できる。

【0062】本発明請求項20に係るメモリ回路のデータ制御回路では、図20～図25の如く、選択手段によって、外部から与えられたまたは内部で発生されたテストデータと、制御データ発生手段からの出力情報との少なくとも2種類の情報を選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0063】本発明請求項21に係るメモリ回路のデータ制御回路では、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生した場合には、メモリセルアレイの行方向および列方向のうち一方の内

部接続線のすべてに故障データが検出されるため、図41、図42(a)、図43、図44の如く、期待値比較手段からの出力情報とメモリ回路からの各読出データとを比較し、その結果、全てのデータが異なっていると認められたときに、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生したものと判断し、以後、他方の内部接続線について適切な切替制御を容易に行うことができる。

【0064】本発明請求項22に係るメモリ回路のデータ制御回路では、図48、図49の如く、第1の制御部と第2の制御部とで期待値比較手段を共用しているので、回路規模を縮小できる。

【0065】本発明請求項23に係るメモリ回路のアドレス指定回路では、図50、図52、図53の如く、全周期系列データ出力回路によって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力し、デコーダの論理回路部において、入力端子の入力ビット数の値を出力端子に対応する出力ビット数の信号に変換した後、ビット順序変換配線によって出力端子の順序に並び替える。これによって、全周期系列データ出力回路から出力される全周期系列データが乱数であるにもかかわらず、その順序に従って、一端から他端の出力端子の方向へ順番に出力することができる。したがって、テスト時等において容易にデータのインクリメントまたはデクリメントを行うことができる。

【0066】

【実施例】

〔第1の実施例〕

＜構成＞図1は本発明の第1の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、複数の外部ビット線OBL1～OBL4に夫々接続された制御メモリセルC11～C14によってセレクトSEL1～SEL4を制御し、外部ビット線OBL1～OBL4と内部ビット線BL1～BL5の対応関係を切り替えることにより不良を救済するものである。

【0067】具体的には、本実施例のメモリ回路は、複数の通常動作用メモリセル(RAM)M11～M15, M21～M25, M31～M35, …が行列状に配列されてなる一般的なシングルポートRAMとしてのメモリセルアレイ11と、メモリセルアレイ11の5本の内部ビット線(内部接続線)BL1～BL5に対して外部からデータの授受を行うための4本の外部ビット線(外部接続線)OBL1～OBL4と、メモリセルアレイ11の1本の内部ビット線BL2そのものや内部ビット線BL線2に接続されたメモリセルM11～M15, M21～M25, M31～M35, …に故障が発生した際にかかる故障データを補償するためのコラム冗長制御回路(COL-RED-CTRL)12と、を備える。

【0068】メモリセルアレイ11内において、メモリ

セルM11, M21, M31, …は第1の内部ビット線BL1に、メモリセルM12, M22, M32, …は第2の内部ビット線BL2に、メモリセルM13, M23, M33, …は第3の内部ビット線BL3に、メモリセルM14, M24, M34, …は第4の内部ビット線BL4に、メモリセルM15, M25, M35, …は第5の内部ビット線BL5に、夫々接続されている。また、メモリセルM11~M15は第1の内部ワード線WL1に、メモリセルM21~M25は第2の内部ワード線WL2に、メモリセルM31~M35は第3の内部ワード線WL3に、夫々接続されている。

【0069】ここで、内部ビット線BL1~BL5の本数(5本)を外部ビット線OBL1~OBL4の本数(4本)より多く設定しているのは、故障データに係るいずれかの内部ビット線BL1~BL4をキャンセルして順次他の内部ビット線のデータに切り替えるために、予備的な内部ビット線BL5を予め容易する必要があるからである。したがって、第1の内部ビット線BL1乃至第4の内部ビット線BL4のいずれにも故障が発生しない場合は、予備的な内部ビット線BL5は使用されないものである。

【0070】なお、各内部ビット線BL1~BL5および各外部ビット線OBL1~OBL4は、複数の信号線(図示せず)により構成されるものも含まれる。例えば、一般的なスタティックRAMでは反転ビット線および非反転ビット線を持つが、本発明ではこれらをまとめてビット線と呼ぶ。この場合、例えば第1の内部ビット線BL1や第1の外部ビット線OBL1は反転ビット線と非反転ビット線の2本の信号線から成ることになる。同様にマルチポートRAMでは、複数のポートに対するビット線関連の信号線を持つが、これらをまとめて内部ビット線BL1~BL5または外部ビット線OBL1~OBL4と呼ぶ。例えば、1つの書き込み専用ポートと2つの読み出しポートを持つ3ポートRAMでは、内部ビット線BLや外部ビット線OBL1~OBL4は少なくとも3本の信号線で構成され、さらに各ポートに対して反転ビット線および非反転ビット線を持つ場合は6本の信号線で構成されることになる。ただし、これらは、図1では便宜上1本の信号線で示すことにする。

【0071】そして、カラム冗長制御回路12は、外部ビット線OBL1~OBL4に対して互いに隣合う内部ビット線BL1~BL5を選択して接続する4個のセクタSEL1~SEL4から構成されたセクタ群16と、各セクタSEL1~SEL4における選択について指示を与えるための4個の制御メモリセルC11~C14から構成された制御メモリセル群17と、から構成されている。

【0072】セクタ群16の各セクタSEL1~SEL4は、トランジスタ等の半導体素子を使用されたリレーであって、制御メモリセル群17の各制御メモリセ

ルC11~C14に記憶された値が「0」のときは、各セクタSEL1~SEL4に対して夫々予め対応づけられた内部ビット線BL1~BL4に接続するための下位ビット側の端子に切替接続し、各制御メモリセルC11~C14に記憶された値が「1」のときは、各セクタSEL1~SEL4に対して夫々予め対応づけられたものより上位ビット側に隣接する内部ビット線BL2~BL5に接続するための上位ビット側の端子に切替接続するよう構成される。かかる構成により、セクタ群16は、後述の各制御メモリセルC11~C14に記憶された値に応じて、故障データを有する内部ビット線BL1~BL4とこれに対応づけられた外部ビット線OBL1~OBL4との接続を外すとともに、当該故障データを有する内部ビット線BL1~BL4を境として下位ビット側に配された外部ビット線をこれに対応づけられた内部ビット線に接続し、且つ、故障データを有する内部ビット線BL1~BL4を境として上位ビット側に配された外部ビット線を、当該各外部ビット線に対応づけられた内部ビット線に対してさらに上位ビット側に隣接する他の内部ビット線に順次切替接続する機能を有する。

【0073】制御メモリセル群17の制御メモリセルC11~C14は、リセット機能付きの1ビットレジスタであり、そのリセット端子はリセット信号線RED~RESETに共通に接続されている。また、各制御メモリセルC11~C14は、ワード線RWL1がアクティブになったときに夫々のデータ入力端子から与えられるデータを格納するよう構成されている。そして、第1の制御メモリセルC11のデータ入力端子は第1の外部ビット線OBL1に、第2の制御メモリセルC12のデータ入力端子は第2の外部ビット線OBL2に、第3の制御メモリセルC13のデータ入力端子は第3の外部ビット線OBL3に、第4の制御メモリセルC14のデータ入力端子は第4の外部ビット線OBL4に、夫々接続されている。さらに、各制御メモリセルC11~C14のデータ出力端子は、夫々対応するセクタSEL1~SEL4の切替信号入力端子に接続されている。そして、各制御メモリセルC11~C14は、各外部ビット線OBL1~OBL4から与えられるデータに基づいて、故障データを有する内部ビット線BL1~BL4を境として下位ビット側に配された外部ビット線OBL1~OBL4に関し値「0」を記憶し、故障データを有する内部ビット線BL1~BL4を境として上位ビット側に配された外部ビット線OBL1~OBL4に関し値「1」を記憶する。なお、各制御メモリセルC11~C14に関しては、メモリセルアレイ11の各メモリセルM11~M15, M21~M25, M31~M35, …と同様のメモリセルを用いてもよいし、電氣的にプログラム可能なROM用のメモリセルを用いてもよい。なお、メモリセルアレイ11が書き込み専用ポートと読み出しポートを別々に有している場合は、制御メモリセルC11~C1

4は書き込みポートのビット線に接続する必要がある。

【0074】＜動作＞上記構成のメモリ回路の動作を説明する。例えば、第2の内部ビット線BL2に断線やショート等の故障が発生したり、第2の内部ビット線BL2に接続されたメモリセルM12、M22、M32、…に何らかの故障が発生した場合、図1のように第1の外部ビット線OBL1と第1の内部ビット線BL1、第2の外部ビット線OBL2と第3の内部ビット線BL3、第3の外部ビット線OBL3と第4の内部ビット線BL4、第4の外部ビット線OBL4と第5の内部ビット線BL5が対応するようにセレクトSEL1～SEL4を切り替える。この切り替えは制御メモリセルC11～C14に対して、「0」、「1」、「1」、「1」を夫々書き込むことにより行われる。

【0075】通常動作用メモリセルM11～M15、M21～M25、M31～M35、…は外部ビット線OBL1～OBL4からアクセスされるので、第2の内部ビット線BL2に関する故障は外部からは観測されず、故障のないメモリ回路のように動作することができる。

【0076】制御メモリセル群17の全制御メモリセルC11～C14のリセット後に、通常動作用メモリセルM11～M15、M21～M25、M31～M35、…のテストを行い、故障が検出されれば、上記のようにセレクトSEL1～SEL4を切り替えて不良を救済する。

【0077】このように、レーザ装置を用いなくても故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0078】第2の実施例

＜構成＞図2は本発明の第2の実施例のメモリ回路を示す図である。なお、図2では第1の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、外部ビット線OBL1～OBL4に接続された制御メモリセルC11～C14でセレクトSEL1～SEL4を制御し外部ビット線OBL1～OBL4と内部ビット線BL1～BL5の対応関係を切り替えることにより不良を救済する点で第1の実施例と同一であるが、制御メモリセル群17の接続配置が第1の実施例と異なっている。

【0079】すなわち、制御メモリセル群17はセレクト群16よりもメモリセルアレイ11側に配置されており、制御メモリセル群17の第1の制御メモリセルC11のデータ入力端子はメモリセルアレイ11の第1の内部ビット線BL1に、第2の制御メモリセルC12のデータ入力端子は第2の内部ビット線BL2に、第3の制御メモリセルC13のデータ入力端子は第3の内部ビット線BL3に、第4の制御メモリセルC14のデータ入力端子は第4の内部ビット線BL4に、夫々接続されている。その他の構成は第1の実施例と同様のためその説

明は省略する。

【0080】＜動作＞上記構成のメモリ回路の動作を説明する。例えば、第2の内部ビット線BL2に断線やショート等の故障が発生したり、第2の内部ビット線BL2に接続されたメモリセルM12、M22、M32、…に何らかの故障が発生した場合、図2のように第1の外部ビット線OBL1と第1の内部ビット線BL1、第2の外部ビット線OBL2と第3の内部ビット線BL3、第3の外部ビット線OBL3と第4の内部ビット線BL4、第4の外部ビット線OBL4と第5の内部ビット線BL5が夫々対応するように、セレクトSEL1～SEL4を切り替える。この切り替えは制御メモリセルC11～C14に対して「0」、「1」、「1」、「1」を夫々書き込むことにより行われる。

【0081】なお、望ましくは制御メモリセルC11～C14はリセット機能付きのものを用いる。これは、リセット機能なしの制御メモリセルを用いると制御メモリセルに書き込みができない可能性があるためである。もし、リセット機能がなければ、例えば、図2の状態のまま電源をオフにし、電源投入時した際に制御メモリセルC11～C14に「0」、「1」、「1」、「1」が夫々設定されてしまうと、第2の制御メモリセルC12はどの外部ビット線OBL1～OBL4にも接続されず、以後の動作時に常に図2の状態に陥ってしまう。したがって、第2の制御メモリセルC12に「0」を設定する手段はないことになり、適切な冗長回路切替が行えない。

【0082】かかる事態を考慮して、図2の状態第2の制御メモリセルC12に「0」を設定したい場合は、リセット信号線RED-RESETからリセット信号を供給すればよい。

【0083】リセット後の動作は図1の回路と同じであるため、その説明は省略する。本実施例によっても、レーザ装置を用いずに故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0084】第3の実施例

＜構成＞図3は本発明の第3の実施例のメモリ回路を示す図である。なお、図3ではと第2の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、外部ビット線OBL1～OBL4に接続された制御メモリセルC11～C14でセレクトSEL1～SEL4を制御し外部ビット線OBL1～OBL4と内部ビット線BL1～BL5の対応関係を切り替えることにより不良を救済する点で第2の実施例と同一であるが、セレクト群16のセレクト切替を行う意思表示として冗長イネーブル信号を送信できる構成としている点で第2の実施例と異なる。

【0085】すなわち、制御メモリセル群17の各制御メモリセルC11～C14のデータ出力端子と、各セ

クタSEL1~SEL4の切替信号入力端子との間に、二入力論理積(AND)回路18a~18dが夫々介装されている。具体的には、各論理積回路18a~18dの出力端子は対応づけられたセクタSEL1~SEL4の切替信号入力端子に接続され、各論理積回路18a~18dの一方の入力端子は対応づけられた制御メモリセルC11~C14のデータ出力端子に接続され、各論理積回路18a~18dの他方の入力端子は冗長イネーブル信号が供給される冗長イネーブル信号線RED-ENに接続されている。その他の構成は第1の実施例と同様のためその説明は省略する。

【0086】<動作>上記構成のメモリ回路の動作を説明する。まず、セクタ群16のセクタSEL1~SEL4の初期化段階においては、リセット信号線RED-RESETからリセット信号を供給するか、あるいは冗長イネーブル信号線RED-ENからデータ「0」を与え、各セクタSEL1~SEL4を「0」側に切り替える。

【0087】そして、例えば、第2の内部ビット線BL2に断線やショート等の故障が発生したり、第2の内部ビット線BL2に接続されたメモリセルM12, M22, M32, ...に何らかの故障が発生した場合、冗長イネーブル信号線RED-ENからデータ「1」を供給するとともに、外部ビット線OBL1~OBL4から各制御メモリセルC11~C14に、故障データに対応したデータを供給することで、論理積回路18a~18dは、制御メモリセルC11~C14の値と冗長イネーブル信号線RED-ENから与えられるデータ「1」との論理積を演算して、セクタ群16の各セクタSEL1~SEL4を切り替える。具体的には、図3のように第1の外部ビット線OBL1と第1の内部ビット線BL1、第2の外部ビット線OBL2と第3の内部ビット線BL3、第3の外部ビット線OBL3と第4の内部ビット線BL4、第4の外部ビット線OBL4と第5の内部ビット線BL5が夫々対応するように、セクタSEL1~SEL4を切り替える。この切り替えは制御メモリセルC11~C14に対して「0」、「1」、「1」、「1」を夫々書き込むことにより行われる。

【0088】本実施例によっても、レーザ装置を用いずに故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0089】なお、本実施例では、第1の実施例および第2の実施例と異なり、冗長イネーブル信号線RED-ENに与える冗長イネーブル信号を調整することで、制御メモリセル群17の各制御メモリセルC11~C14の値にかかわらず、独立してセクタ群16の各セクタSEL1~SEL4の切り替えを行うことができる。したがって、メモリセルアレイ11の各メモリセルM11~M15, M21~M25, M31~M35, ...のデ

ストだけでなく、各制御メモリセルC11~C14自身を容易にテストすることができる。

【0090】第4の実施例

<構成>図4は本発明の第4の実施例のメモリ回路を示す図である。なお、図4では第1の実施例乃至第3の実施例と同様または類似の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、内部ビット線BL1~BL5の故障を最大2本まで救済できるようにしたものであり、このため、メモリセルアレイ11の内部ビット線BL0~BL5の本数(6本)は、図4の如く、外部ビット線OBL1~OBL4の本数(4本)より2本多く設定されている。なお、図5は、メモリセルアレイ11の内部構成を示す回路図であり、各メモリセルM00~M05, M10~M15, M20~M25, M30~M35, ...を、相補型ビット線方式の一般的なスタティックRAMで構成しているものである。

【0091】そして、カラム冗長制御回路12は、図4の如く、4個の3接点型セクタSEL1~SEL4からなるセクタ群16と、8個の1ビット制御メモリセルC11~C14, C21~C24からなる制御メモリセル群17とから構成されている。

【0092】セクタ群16の各セクタSEL1~SEL4は、対応づけられた外部ビット線OBL1~OBL4に接続され、連続して隣合った3個の内部ビット線BL0~BL5を夫々選択的に切り替えるよう構成される。具体的には、各セクタSEL1~SEL4の切替信号入力端子に「00」が入力された場合は、当該外部ビット線OBL1~OBL4に対応づけられた相対的に中央に位置する内部ビット線BL1~BL4に接続され、切替信号入力端子に「01」が入力された場合は、当該外部ビット線OBL1~OBL4に対応づけられた内部ビット線BL1~BL4より相対的に下位ビット側に位置する内部ビット線BL0~BL3に接続され、切替信号入力端子に「10」が入力された場合は、当該外部ビット線OBL1~OBL4に対応づけられた内部ビット線BL1~BL4より相対的に上位ビット側に位置する内部ビット線BL2~BL5に接続されることになる。

【0093】制御メモリセル群17の制御メモリセルC11~C14, C21~C24のうち、制御メモリセルC11, C21は、第1の外部ビット線OBL1に共に接続されて組をなし、第1のセクタSEL1の切替信号入力端子に対して与えるべき2ビットデータを格納する。制御メモリセルC12, C22は、第2の外部ビット線OBL2に共に接続されて組をなし、第2のセクタSEL2の切替信号入力端子に対して与えるべき2ビットデータを格納する。制御メモリセルC13, C23は、第3の外部ビット線OBL3に共に接続されて組をなし、第3のセクタSEL3の切替信号入力端子に対して与えるべき2ビットデータを格納する。制御メモリ

セルC14, C24は、第4の外部ビット線OBL4に共に接続されて組をなし、第4のセクタSEL4の切替信号入力端子に対して与えるべき2ビットデータを格納する。

【0094】また、制御メモリセルC11~C14, C21~C24は、ワード線RWL1, RWL2がアクティブになったときに夫々対応づけられた外部ビット線OBL1~OBL4から与えられるデータを格納するよう構成される。さらに、制御メモリセルC11~C14, C21~C24は、リセット信号線RED-RESETからのリセット信号によりリセットされる。

【0095】なお、各外部ビット線OBL1~OBL4に夫々組として接続された2ビットの制御メモリセル(C11, C21), (C12, C22), (C13, C23), (C14, C24)は、(0, 0), (0, 1), (1, 0), (1, 1)の4種類のデータを書き込むことができる構成となるが、このうち、(0, 0), (0, 1), (1, 0)の3データのみがセクタ群16の各セクタSEL1~SEL4の切替制御用に用いられ、(1, 1)は無視される。

【0096】なお、図6は本実施例の冗長制御回路を示す回路図である。図6の如く、外部ビット線OBL1~OBL4は、非反転外部ビット線OBIT1~OBIT4と反転外部ビット線OBIT1B~OBIT4Bとから成る。例えば、外部ビット線OBL1は非反転外部ビット線OBIT1と反転外部ビット線OBIT1Bから成る。

【0097】同様に、内部ビット線BL0~BL5は、非反転内部ビット線BIT0~BIT5と反転内部ビット線BIT0B~BIT5Bから成る。例えば、内部ビット線BL1は非反転内部ビット線BIT1と反転内部ビット線BIT1Bから成る。

【0098】セクタSEL1~SEL4は、6個のトランジスタと1個のNOR回路で構成されており、各セクタSEL1~SEL4は2つの制御メモリセルC11~C14により制御される。

【0099】具体的には、例えば、図6の如く、セクタSEL1は2ビット制御メモリセル(C11, C21)により制御される。当該制御メモリセル(C11, C21)に(0, 0)が設定された場合は、これに対応づけられたセクタSEL1のNOR回路の出力は「1」になり、このNOR回路によって制御される一部のトランジスタが導通することにより、OBIT1とBIT1, OBIT1BとBIT1Bが夫々接続される。また、制御メモリセル(C11, C21)に(0, 1)が設定された場合は、OBIT1とBIT0, OBIT1BとBIT0Bが接続される。さらに、制御メモリセル(C11, C21)に(1, 0)が設定された場合は、OBIT1とBIT2, OBIT1BとBIT2Bが接続される。

【0100】ここで、図7は本実施例のメモリ回路の全体構成を示す回路図である。ここでは、メモリセルアレイ11およびカラム冗長制御回路12が夫々2個ずつ設けられている。また、図7中の符号21は2個の書き込みドライバおよびセンスアンプ(WD&SA)、符号22は2個のカラムセクタ(COL-SEL)であり、これらは各メモリセルアレイ11および各カラム冗長制御回路12に夫々1対1で対応している。そして、各カラム冗長制御回路12に対する制御データは各ビットの書込データ入力端子DI<1>, DI<2>から入力するよう構成されている。また、符号23はメモリセルアレイ11のワード線切替を行うロウデコーダ(ワード線デコーダ: ROW-DEC)、符号24はメモリセルアレイ11のビット線切替を行うためのカラムデコーダ(ビット線デコーダ: COL-DEC)、ROW-ENはイネーブル信号、COL-ADDRおよびROW-ADDRはアドレス指定信号、RED-ENは例えば図3に示した第3の実施例のようにセクタ群16のセクタ切替を行う意思表示として冗長イネーブル信号を送信できるようにする場合に用いられる冗長イネーブル信号線である。なお、冗長イネーブル信号線RED-ENは図4の構成では特に必要なく、省略しても差し支えない。

【0101】<動作>上記構成のメモリ回路の動作を説明する。例えば、第2の内部ビット線BL2および第3の内部ビット線BL3の2本の内部ビット線に、断線やショート等の故障が発生したり、内部ビット線BL2, BL3に接続されたメモリセルM12, M13, M22, M23, M32, M33, ...に何らかの故障が発生した場合、図4のように、第1の外部ビット線OBL1と第0の内部ビット線BL0, 第2の外部ビット線OBL2と第1の内部ビット線BL1, 第3の外部ビット線OBL3と第4の内部ビット線BL4, 第4の外部ビット線OBL4と第5の内部ビット線BL5が夫々対応するように、各セクタSEL1~SEL4を切り替える。この切り替えは、外部ビット線OBL1~OBL4を通じて、各制御メモリセル(C11, C21), (C12, C22), (C13, C23), (C14, C24)に対して(0, 1), (0, 1), (1, 0), (1, 0)を夫々書き込むことにより行われる。

【0102】このように、本実施例では、レーザ装置を用いなくても、内部ビット線2本分の故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0103】第5の実施例

<構成>図8は本発明の第5の実施例のメモリ回路を示す図である。なお、図8では第4の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、1個当たりのカラム冗長制御回路12に対して複数(図8では2個)のカラムセクタ22

を割り当てたものである。

【0104】すなわち、各カラム冗長制御回路12に対する制御データは、互いに隣接する2個の書込データ入力端子の組(DI<1>, DI<2>), (DI<3>, DI<4>)から入力され、また、メモリセルアレイ11からの読出データは互いに隣接する2個のデータ読出端子の組(DO<1>, DO<2>), (DO<3>, DO<4>)から出力される。

【0105】その他の構成は第4の実施例と同様であり、特に、メモリセルアレイ11およびカラム冗長制御回路12の構成については図4に示したものと同様であるため、説明を省略する。

【0106】<動作>上記構成のメモリ回路の動作を説明する。例えば、故障データがDI<1>およびDI<2>に対応するメモリセルアレイ11に存在し、これを救済する場合、DI<1>から図4中の制御メモリセル(C11, C21), (C12, C22)に対して(0, 1), (0, 1)を書き込むと同時に、DI<2>から図4中の制御メモリセル(C13, C23), (C14, C24)に対して(1, 0), (1, 0)を書き込む。以後の動作は、第4の実施例と同様であるため、説明を省略する。本実施例においても、レーザ装置を用いずに内部ビット線2本分の故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0107】第6の実施例 図9は本発明の第6の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、一つのカラムセレクト22に対して複数(図9では2個)のカラム冗長制御回路12を割り当てたものである。

【0108】すなわち、互いに隣接する2個のカラム冗長制御回路12に対する制御データは、1個の書込データ入力端子DI<1>から入力される。いずれのカラム冗長制御回路12に制御データを書き込むかは、カラムアドレス制御信号COL-ADDRにより制御する。また、メモリセルアレイ11からの読出データは1個のデータ読出端子DO<1>から出力される。

【0109】その他の構成は第5の実施例と同様であり、特に、メモリセルアレイ11およびカラム冗長制御回路12の構成については図4に示したものと同様であるため、説明を省略する。

【0110】本実施例においても、レーザ装置を用いずに内部ビット線2本分の故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0111】第7の実施例 図10は本発明の第7の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、カラム冗長制御回路12の制御のためのワード線RWL1, RWL2の選択回路として、通常動作のロウデコーダ23のうちの余剰ビット部分を流用したも

のである。すなわち、例えばロウデコーダ23の出力端子が論理上2⁷=128ビット分存在している、メモリセルアレイ11の内部ワード線が例えば120ワードしかない場合、8ビットの余剰ビットが存在することになる。そこで、回路の無駄を軽減すべく、ロウデコーダ23の出力端子のうち例えば127番地および126番地(例えばプリデコーダ等)をワード線RWL1, RWL2に割り当てる。

【0112】その他の構成は第4の実施例と同様であるため、説明を省略する。本実施例においても、レーザ装置を用いずに内部ビット線2本分の故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0113】第8の実施例

<構成>図11は本発明の第8の実施例であって、例えば図1に示したような冗長度1のカラム冗長制御回路を持つメモリ回路に関するデータ制御回路29(制御メモリセル用データ発生回路)を示す図である。本実施例のデータ制御回路29は、図1のメモリ回路の各外部ビット線OBL1~OBL4ごとに設けられるものであって、1個の排他的論理和(EX, OR)回路31と、1個の論理積(AND)回路32と、1個のフリップフロップ33と、1個のセレクト34(第1の選択手段)とを備えている。

【0114】排他的論理和回路31および論理積回路32は、外部から与えられるコンペアイネーブル信号(比較指示信号)CMPENに基づいて、各出力ポートDO<1>~DO<4>における読出データが外部から与えられる所定の期待値信号EXPに対して不一致であるか否かを比較判断し、その比較結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値PFを発生する期待値比較手段として機能する。排他的論理和回路31の一方の端子は期待値信号EXPが与えられる期待値入力端子に接続され、他方の端子はメモリ回路30の各出力ポートDO<1>に接続される。論理積回路32の一方の端子はコンペアイネーブル信号CMPENが与えられるコンペアイネーブル信号入力端子に接続され、他方の端子は排他的論理和回路31の出力端子に接続される。

【0115】フリップフロップ33は、リセット機能付きのものが使用され、外部からのリセット信号FF-RESETによってリセットされる。また、フリップフロップ33のデータ入力端子Dは、データ帰還用の論理和(OR)回路35を介して論理積回路32の出力端子に接続される。なお、フリップフロップ33は、論理積回路32からの出力が「1」となった後は、論理和回路35のデータ帰還によって、リセット信号FF-RESETでのリセットが行われないう限り、値「1」が維持される。フリップフロップ33は非同期リセット型のもので、よいし同期リセット型のものでよい。なお、図11

のTはクロック信号である。

【0116】セクタ34の「0」側入力端子は、外部からの書込データ入力端子XDI<1>~XDI<4>が接続され、「1」側入力端子は、フリップフロップ33のデータ出力端子Qが接続される。そして、外部からのセレクト信号SELECTRLに基づいて、外部からの書込データと排他的論理和回路31および論理積回路32からの制御用の値PFとを選択する機能を有する。

【0117】<動作>上記構成のデータ制御回路29の動作を説明する。まず、リセット信号FF-RESETによりフリップフロップ33を「0」にリセットする。

【0118】次に、図1における内部ビット線を順にBL1からBL5へと切り替えながら、排他的論理和回路31は期待値信号EXPとメモリ回路30の各データ出力DO<1>~DO<4>とを比較し、これらが異なっていれば、制御用の値PFとして「1」を出力する。この状態でコンペイネーブル信号CMPENが「1」の時にクロックTが与えられると、フリップフロップ33には「1」がセットされる。つまり、故障データが検出されれば、フリップフロップ33の出力データQは「0」から「1」に変化する。このとき点で、セレクト信号SELECTRLを「1」とすれば、各DI<1>~DI<4>を通じて、図1に示した制御メモリセル群17の各制御メモリセルC11~C14に値「1」が書き込まれる。逆に、各内部ビット線BL0~BL5に故障データがない場合は、各制御メモリセルC11~C14は値「0」を維持したままとなる。このような制御メモリセルC11~C14の値に応じて、セクタ群16の各セクタSEL1~SEL4は所定の選択切替を行う。

【0119】例えば、図1中の第2の内部ビット線BL2自身の故障やこれに接続された通常動作用メモリセルM12, M22, M32, …の故障の場合、図1に示したように、各制御メモリセルC11~C14に「0」, 「1」, 「1」, 「1」が書き込まれる。従って適切な冗長回路切替が行われる。

【0120】なお、テスト時のメモリセルアレイ11への書き込みデータは、セレクト信号SELECTRL=「0」の状態では書込データ入力端子XDI<1>~XDI<4>から与えればよい。

【0121】本実施例においても、レーザ装置を用いずに1本の内部ビット線に関する故障データの救済を容易に行うことができ、第1の従来例および第2の従来例と比較して半導体装置の製造コストを低減できる。

【0122】{第9の実施例}

<構成>図12は本発明の第9の実施例のデータ制御回路29（制御メモリセル用データ発生回路）を示す図である。なお、図12では第8の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、期待値比較手段からの出力情報

を格納するためのフリップフロップを、書込データの格納用に兼用可能としたものであり、また、複数のデータ制御回路29が直列接続されて図13に示すようなスキャンパスを形成するものである。

【0123】すなわち、各データ制御回路29は、第8の実施例で説明したのと同様の期待値比較手段としての排他的論理和回路31および論理積回路32と、論理積回路32の出力端子にデータ帰還用の1個の論理和回路35を介して接続されるリセット信号入力用の1個の論理積回路41と、論理積回路41からの信号と後述するシフトイン信号SIと書込データ入力端子XDI<i>から入力された書込データの3種類の情報を選択して出力する第1の選択手段42と、第1の選択手段42からの出力情報を格納する1個のフリップフロップ43と、フリップフロップ43からの出力情報と外部からのテストデータ（メモリテスト時の書込データ）TDの2種類の情報を選択する第2の選択手段44と、を備える。

【0124】論理積回路41は、フリップフロップ43としてリセット機能を有していないものを用いる場合に、フリップフロップ43に「0」リセットを行うようにするためのもので、リセット信号FF-RESETとして「0」を入力すれば、論理和回路35からの値にかかわらず「0」を出力する機能を有する。

【0125】第1の選択手段42は、2個のセクタ42a, 42bから構成される。

【0126】一方のセクタ42aの「1」側入力端子は論理積回路41の出力端子に接続され、「0」側入力端子にはシフトイン信号SIが入力される。ここで、シフトイン信号SIとは、図13に示したスキャンパスにおいて、最も前段のデータ制御回路29aについては外部からの信号をいい、次段（上位ビット側）以降のデータ制御回路29b~29dについては相対的に前段側（下位ビット側）に隣接したデータ制御回路から与えられるデータをいう。

【0127】他方のセクタ42bの「1」側入力端子は一方のセクタ42aの出力端子に接続され、「0」側入力端子は書込データ入力端子XDI<i>に接続される。

【0128】両セクタ42a, 42bは、外部からの所定の信号SINHDO, SMに基づいて夫々選択切替を行う。

【0129】フリップフロップ33のデータ入力端子Dは他方のセクタ42bの出力端子に接続される。また、フリップフロップ33のデータ出力端子Qは、第2の選択手段44に伝送されるとともに、図13に示したスキャンパスにおける相対的に次段のデータ制御回路29へ送信するためのシフトアウト信号SOにもなる。

【0130】第2の選択手段44は、1個のセクタで構成され、「0」側入力端子には外部からのテストデータが入力され、「1」側入力端子はフリップフロップ4

3のデータ出力端子Qに接続され、外部からのセレクト信号SELECTRLに基づいて選択切替を行う。

【0131】その他の構成は第8の実施例と同様のためその説明は省略する。

【0132】＜動作＞上記構成のデータ制御回路29の動作を説明する。図12において、信号SINHDO＝「1」、信号SM＝「1」の状態では、図11の回路と同様の制御データがQに出力される。

【0133】SM＝「0」の状態では書込データ入力端子XDI<i>から得た書込データがフリップフロップ43のデータ入力端子Dに供給される。したがって、通常動作時はSM＝「0」、SELECTRL＝「1」に設定しフリップフロップ46をRAMのデータ入力用FFとして流用することができる。

【0134】本実施例では、図13のようにスキャン設計を適用しているので、SM＝「1」、SINHDO＝「0」に設定することによってシリアルシフト動作が行える。例えば、シリアルシフト動作によりテスト結果を読み出すことができ、どのデータビットに故障があったのかを容易に判別できる。

【0135】なお、テスト時のメモリセルアレイ11への書込データは、SELECTRL＝「0」の状態でテストデータTDとして供給する。

【0136】また、フリップフロップ43のリセット動作はSINHDO＝「1」、SM＝「1」、FF－RESET＝「0」の状態でクロック信号Tを与えることにより行うことができる。ただし、シリアルシフト動作により「0」をシフトインしてリセット動作を行うことができるので、リセット信号FF－RESETおよびこの信号が入力される論理積回路41を削除してもよい。

【0137】また、この論理積回路41を削除して非同期リセット機能付きまたは同期リセット付きのフリップフロップ43を用いてもよい。

【0138】本実施例においても、レーザ装置を用いずに1本の内部ビット線に関する故障データの救済を容易に行うことができ、第1の従来例および第2の従来例に比較して半導体装置の製造コストを低減できる。

【0139】第10の実施例

＜構成＞図14は本発明の第10の実施例のメモリ回路のデータ制御回路29を示す図である。本実施例のデータ制御回路29は、期待値比較手段からの出力情報を格納するためのフリップフロップを、メモリ回路からの読出データの格納用に兼用可能としたものである。複数のデータ制御回路29が直列接続されて図13に示すようなスキャンパスを形成する点では、第9の実施例と同様である。

【0140】すなわち、各データ制御回路29は、第9の実施例で説明したのと同様の排他的論理和回路31、論理積回路32、論理和回路35、論理積回路41、およびセクタ42aを備えており、さらに、1個のセ

クタ42cと1個のフリップフロップ46と1個のセクタ47とを備えている。

【0141】セクタ42cは、「1」側の入力端子がセクタ42aに接続される点で第9の実施例のセクタ42bと同様であるが、「0」側の入力端子がデータ読出端子DO<i>に接続される点でセクタ42bと異なる。

【0142】フリップフロップ46は、データ入力端子Dが他方のセクタ42bの出力端子に接続される点で第9の実施例と同様であるが、データ出力端子Qが、シフトアウト信号SOを出力するだけでなく、セクタ47への出力、および外部への読出データの出力を司る点で第9の実施例と異なる。

【0143】セクタ47の「1」側の入力端子はフリップフロップ46のデータ出力端子Qに接続され、「0」側の入力端子は書込データ入力端子XDI<i>に接続される。

【0144】＜動作＞上記構成のデータ制御回路29の動作を説明する。例えば、SINHDO＝「1」、SM＝「1」の状態では、フリップフロップ46について図11の回路と同様の出力データがデータ出力端子Qから出力される。

【0145】一方、SM＝「0」の状態では読出信号DO<i>がフリップフロップ46のデータ入力端子Dに供給される。したがって、通常動作時はSM＝「0」に設定してフリップフロップ46をRAMのデータ出力用レジスタとして流用することができる。なお、通常動作時はSELECTRL＝「0」に設定することで、メモリセルアレイ11への書き込みデータを書込データ入力端子XDI<i>から与える。

【0146】本実施例では、スキャン設計を適用しているので、SM＝「1」、SINHDO＝「0」に設定することによってシリアルシフト動作が行える。例えば、シリアルシフト動作によりテスト結果を読み出すことができるため、どのデータビットに故障があったのかを容易に判別できる。なお、テスト時のメモリセルアレイ11へ書き込みデータは、SELECTRL＝「0」の状態、書込データ入力端子XDI<i>から供給する。

【0147】なお、フリップフロップ46のリセット動作はSINHDO＝「1」、SM＝「1」、FF－RESET＝「0」の状態でクロックTを与えることにより行うことができる。

【0148】第11の実施例

＜構成＞図15は本発明の第11の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図15では第9の実施例および第10の実施例と同様の機能を有する要素については同一符号を付している。

【0149】本実施例のデータ制御回路29は、期待値比較手段からの出力情報を格納するための2個のフリップフロップ（レジスタ）を設け、夫々、書込データ格納

33

用および読出データ格納用として使用可能としたものであり、また、複数のデータ制御回路29(29a~29d)が直列接続されて図16に示すようなスキャンパスを形成するものである。

【0150】スキャンパスは図16に示すように図15の回路を複数個直列接続して構成される。図16

(a), (b)どちらの接続を用いてもよいし、その他のどのような順序でスキャンパスを構成してもよい。なお、図16(a)では、シフトイン信号SI1は、最も上位ビット側のデータ制御回路29dについては同じデータ制御回路29dのシフトアウト信号SO0をいい、これより下位ビット側以降のデータ制御回路29a~29cについては相対的に上位ビット側に隣接したデータ制御回路からのシフトアウト信号SO1をいう。

【0151】一方、図16(b)では、シフトイン信号SI0は、最も下位ビット側のデータ制御回路29aについては外部からの信号SIDをいい、これより上位ビット側以降のデータ制御回路29b~29dについては相対的に下位ビット側に隣接したデータ制御回路からのシフトアウト信号SO1をいう。また、図16(b)中のシフトイン信号SI1は、同じデータ制御回路29a~29dのシフトアウト信号SO0をいう。すなわち、図16(b)では、各データ制御回路29a~29dのスキャンパス動作において、SI0~SO0~SI1~SO1の順にスキャンパスデータが伝達されることになる。

【0152】ここで、図15中の排他的論理和回路31、論理積回路32、論理和回路35および論理積回路41は、第9の実施例および第10の実施例で示したものと同様である。

【0153】そして、本実施例のデータ制御回路29は、論理積回路41から与えられる制御用の値PFと当該データ制御回路29より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号SI1とメモリセルアレイ11からの読出データDO<i>との3種類の情報を選択する第1の選択手段51と、第1の選択手段51で選択された情報を記憶する第1のフリップフロップ(FF1)46aと、当該データ制御回路29内の第1のフリップフロップ46aからの出力情報と外部から与えられるテストデータTDと当該データ制御回路29より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号SI0とメモリセルアレイ11へ書き込むための外部からの書込データ書込データXDI<i>との4種類の情報を選択する第2の選択手段52と、第2の選択手段52で選択された情報を記憶する第2のフリップフロップ(FF0)46bと、をさらに備えている。

【0154】第1の選択手段51は2個のセクタ51a, 51bから構成されている。このうち、一方のセクタ51aの「0」側入力端子には、当該データ制御回

34

路29より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号SI1(シフトアウト信号SO1)が入力され、「1」側入力端子には、論理積回路41のから与えられる制御用の値PFが入力される。また、他方のセクタ51bの「0」側入力端子には、メモリセルアレイ11からの読出データDO<i>が入力され、「1」側入力端子には、一方のセクタ51aで選択された情報が入力される。セクタ51a, 51bは、外部からの所定の信号SINHDO, SMに基づいて夫々選択切替を行う。

【0155】第1のフリップフロップ46aのデータ入力端子D1には他方のセクタ51bで選択された情報が入力され、また、データ出力情報Q1は読出データ出力端子XDO<i>および第2の選択手段52に出力されるとともに、当該データ制御回路29より上位ビット側に隣接する他のデータ制御回路へのシフトアウト信号SO1として出力される。なお、図15中のT1はクロック信号およびこれを入力する端子である。

【0156】第2の選択手段52は3個のセクタ52a~52cから構成されている。このうち、セクタ52aの「0」側入力端子には、外部から与えられるテストデータTDが入力され、「1」側入力端子には、当該データ制御回路29内の第1のフリップフロップ46aからの出力情報が入力される。また、セクタ52bの「0」側入力端子には、当該データ制御回路29より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号SI0が入力され、「1」側入力端子には、セクタ52aで選択された情報が入力される。さらに、セクタ52cの「0」側入力端子には、外部から与えられる書込データXDI<i>が入力され、「1」側入力端子には、セクタ52bで選択された情報が入力される。セクタ52a~52cは、外部からの所定の信号SELECTRL, SINHDI, SMに基づいて夫々選択切替を行う。

【0157】第2のフリップフロップ46bのデータ入力端子D0にはセクタ52cで選択された情報が入力され、また、データ出力情報Q0はメモリ回路の書込データ入力端子DI<i>に伝達されるとともに、当該データ制御回路29より上位ビット側に隣接する他のデータ制御回路へのシフトアウト信号SO0として出力される。なお、図15中のT0はクロック信号およびこれを入力する端子である。そして、テスト時およびシリアルシフト動作時において、両クロックT0, T1は同じタイミングの波形が用いられる。

【0158】<動作>上記構成のデータ制御回路29の動作を説明する。まず、SINHDO=「1」, SM=「1」の状態では図11の回路と同様の制御データがQ1に出力される。ここで、SELECTRL=「1」, SINHDI=「1」に設定されていれば、この制御データは1クロック遅れでQ0に出力される。Q0に制御デ

ータが転送されるのを待ってから制御メモリセルC11~C14に書き込んで、メモリ回路のカラム冗長制御回路12の切り替えを行う。

【0159】通常動作時はSM=「0」に設定する。SM=「0」の状態ではDO<i>の信号がセクタ51bを介して第1のフリップフロップ46aへ入力データD1として供給される。通常動作時はSM=「0」に設定し第1のフリップフロップ46aをRAMのデータ出力用レジスタとして流用することができる。また、SM=「0」の状態ではXDI<i>の信号が第2のフリップフロップ46bへ入力データD0として供給されるので第2のフリップフロップ46bはRAMのデータ入力用レジスタとして用いられることになる。

【0160】また、本実施例では、スキャン設計を適用しているので、SM=「1」、SINHDO=「0」、SINHDI=「0」に設定することによってシリアルシフト動作が行える。例えば、シリアルシフト動作によりテスト結果を読み出せ、どのデータビットに故障があったのかを判別できる。

【0161】なお、図12や図14の回路では、データビット数が多くなると、テストデータTDや信号SELCtrlの遅延が大きくなるので書込データ入力端子DI<i>への信号の変化タイミングはデータビット数に依存してしまう。したがって、通常動作時とテスト時でライトパルスのタイミングを変える必要が生じるおそれがあった。これに対し、本実施例の場合、テスト時のメモリセルアレイ11へ書き込みデータは、SELCtrl=「0」の状態、テストデータTDとして外部から供給する。テストデータTDも第2のフリップフロップ46bを通すので、タイミング設計が容易である。すなわち、メモリセルアレイ11の書込データ入力端子DI<i>への入力データはクロックT0に同期して変化し、データビット数が多くなってもこの変化タイミングは変わらない。従ってライトパルスのタイミングを通常動作時とテスト時で変える必要がない。

【0162】なお、第1のフリップフロップ46aのリセット動作はSINHDO=「1」、SM=「1」、FF-RESET=「0」の状態でクロックT1を与えることにより行うことができる。

【0163】第12の実施例 図17は本発明の第12の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、図7に示したカラム冗長機能付きメモリ回路の全体の回路に対して制御メモリセル選択専用のロウデコーダ(ROW-DEC2)54を付加した回路図である。ただし、カラム冗長制御回路12は図4のような冗長度が「2」のものをを用いる。

【0164】ロウデコーダ54は外部からのアドレス信号RED-ROW-ADDRに応じて、2本のワード線RWL1、RWL2のうちどちらか一方を選択してアクティブにする。ただし、イネーブル信号RED-ROW

-ENがアクティブでない場合は、両ワード線RWL1、RWL2のどちらもアクティブにはならない。

【0165】本実施例では、ロウデコーダ54の付加により、アドレス信号RED-ROW-ADDRによる制御メモリセルの選択が容易になり、後述の第13の実施例(図18)等のカラム冗長度「2」に対応したデータ制御回路29の適用が容易になる。

【0166】第13の実施例

<構成>図18は本発明の第13の実施例のメモリ回路のデータ制御回路29を示す図である。本実施例のデータ制御回路29は、図17に示した第12の実施例のような冗長度2のカラム冗長制御回路12を持つメモリ回路に対する制御メモリセル用データ発生回路である。

【0167】メモリ回路30のロウ冗長アドレス端子RED-ROW-ADDRには、外部からの信号CHDIRが供給されている。これにより、CHDIR=「1」の場合は図17中の方のワード線RWL1が選択される。一方、CHDIR=「0」の場合は他方のワード線RWL2が選択されるよう構成される。

【0168】本実施例のデータ制御回路29は、前述した各実施例と同様に期待値比較手段を構成する排他的論理和回路31および論理積回路32と、論理和回路35の他に、排他的論理和回路31で発生された制御用の値PFに基づいてメモリ回路30に対する制御データを発生する制御データ発生手段56と、制御データ発生手段56で出力された制御データと外部から与えられる書込データXDI<i>とを選択して出力する第1のセクタ57とをさらに備える。

【0169】制御データ発生手段56は、期待値比較手段(31、32)によってメモリセルアレイ11からの読出データDO<1>~DO<4>が所定の期待値信号EXPに対して同一であるとの結果が得られたときに、図4に示したカラム冗長制御回路12の制御メモリセル群17に対して第1の値(0、0)を出力し、期待値比較手段(31、32)においてメモリセルアレイ11からの読出データDO<1>~DO<4>が所定の期待値信号EXPに対して不一致であるとの結果が1回目(最初)に得られたときに、制御メモリセル群17に対して第2の値(0、1)を出力し、期待値比較手段(31、32)においてメモリセルアレイ11からの読出データDO<1>~DO<4>が所定の期待値信号EXPに対して不一致であるとの結果が2回目に得られたときに、制御メモリセル群17に対して第3の値(1、0)を出力するものである。

【0170】具体的には、制御データ発生手段56は、論理和回路35を介して期待値比較手段(31、32)からの出力情報が格納される第1のフリップフロップ(FF1:第1のレジスタ)61と、第1のフリップフロップ61からの出力情報を1個の論理積(AND)回路(不一致値出力手段)62および1個の論理和(O

R) 回路63を介して格納する第2のフリップフロップ(FF0:第2のレジスタ)64と、第1のフリップフロップ61すらの出力情報と第2のフリップフロップ64からの出力情報とを選択して出力する第2のセクタ65とを備える。

【0171】第1のフリップフロップ61は、初期値として「0」が予め格納されるリセット機能付きのものであって、メモリセルアレイ11からの読出データDO<1>~DO<4>が所定の期待値信号EXPに対して不一致であるとの結果が期待値比較手段(31, 32)において1回目(最初)に得られたときに、第1のフリップフロップ61に格納された値が「0」から「1」に変化するものである。

【0172】論理積回路62は、第1のフリップフロップ61に格納された値と、次回(2回目)に期待値比較手段(31, 32)においてメモリセルアレイ11からの読出データDO<1>~DO<4>との両方が共に所定の期待値信号EXPに対して不一致であるとの結果が得られたときにのみ「1」を出力する。なお、論理積回路62は3入力方式のものであり、残りの1入力端子にはコンパイネーブル信号CMPENが入力される。

【0173】論理和回路63は、第1のフリップフロップ61に対する論理和回路35と同様に、第2のフリップフロップ64に関するデータ帰還用に用いられる。

【0174】第2のフリップフロップ64は、初期値として「0」が予め格納されるリセット機能付きのものであって、メモリセルアレイ11からの読出データDO<1>~DO<4>が所定の期待値信号EXPに対して不一致であるとの結果が期待値比較手段(31, 32)において2回目に得られたときに、論理積回路62からの出力が「0」から「1」に変化するのに応じて、第1のフリップフロップ61に格納された値が「0」から「1」に変化する。なお、第1のフリップフロップ61および第2のフリップフロップ64は、外部からのクロック信号Tによって駆動され、また、外部からのリセット信号FF-RESETによってリセットされる。

【0175】第2のセクタ65は、外部からの信号CHDIRによって選択切替を行うもので、その「0」側入力端子は第2のフリップフロップ64の出力端子Q0に接続され、「1」側入力端子は第1のフリップフロップ61の出力端子Q1に接続される。

【0176】第1のセクタ57は、外部からの信号SELECTRLによって選択切替を行うもので、その「0」側入力端子は外部の書込データ入力端子XDI<1>~XDI<4>に接続され、「1」側入力端子は第2のセクタ65の出力端子に接続される。

【0177】<動作>上記構成のデータ制御回路29の動作を図4および図17を参照しながら説明する。なお、ここでは、図4において内部ビット線BL2と内部ビット線BL3の故障を仮定して説明を行う。

【0178】CHDIR=「1」に固定して使用する場合は、図11の回路と同様の動作が行え、1つのビット線に関する故障を救済できる。しかしながら、CHDIR=「1」に固定した動作で救済が行えない場合、つまり、2本のワード線RWL1, RWL2に関する故障の場合は、以下に示す動作で救済する。

【0179】ここではビット線のショートや断線の故障を仮定しているので、図4のセクタSEL1~SEL4から最も遠いメモリセルアレイ11のみをテストする。例えば図4のBL1に対してはM13のみテストする。したがって、ロウアドレス信号ROW-ADDRの値は固定してテストを行う。

【0180】まず、図4において、リセット信号RED-RESETにより制御メモリセルC11~C14, C21~C24をリセットする。また、図18において、リセット信号FF-RESETにより第1のフリップフロップ61および第2のフリップフロップ64を共に「0」にリセットする。

【0181】次に、CHDIR=「0」の状態、図4中の期待値信号EXP、コンパイネーブル信号CMPEN、その他の所定の信号WE, SELECTRL等各信号を適切に制御して、内部ビット線BL4に接続されているうちの最も遠いメモリセルM34をテストする。なお、テスト時のメモリセルアレイ11への書き込みデータは、SELECTRL=「0」状態で、書込データ入力端子XDI<i>から与える。

【0182】そして、図18において、排他的論理和回路31は期待値信号EXPとメモリ回路30の読出データDO<i>を比較し、最初にこれらが異なっている旨を検知したら、制御用の値PFとして「1」を出力する。この状態で、コンパイネーブル信号CMPENが「1」の時にクロックTが与えられると、第1のフリップフロップ61には「1」がセットされ、その出力データQ1が「1」になる。つまり、最初の故障が検出されれば第1のフリップフロップ61の出力Q1は「0」から「1」に変化する。

【0183】第1のフリップフロップ61の出力Q1が「1」、制御用の値PFが「1」、コンパイネーブル信号CMPENが「1」のときに、クロック信号Tが与えられると、第2のフリップフロップ64には「1」がセットされ、その出力Q0が「1」になる。つまり、2番目の故障が検出されれば第2のフリップフロップ64の出力Q0は「0」から「1」に変化する。

【0184】そして、第2のセクタ65は、信号CHDIRが「0」のときは第2のフリップフロップ64の出力を、信号CHDIRが「1」のときは第1のフリップフロップ61の出力を選択し、SELECTRL=「1」の状態、第1のセクタ57によって、図4中の対応する制御メモリセルC24に制御データを書き込む。

【0185】このようにして、ビット線の対象を順にBL3, BL2, BL1と切り替えながら、すなわち、制御メモリセル群17の制御メモリセルをC23, C22, C21と切り替えながら、同様の動作を行う。

【0186】上記の動作を行えば、2個のメモリセルM33、M32が不良と判定されたら、制御メモリセル群17の制御メモリセルC21～C24には「1」, 「1」, 「0」, 「0」が書き込まれる。この段階で、第1の外部ビット線OBL1は第0の内部ビット線BL0に、第2の外部ビット線OBL2は第1の内部ビット線BL1に、第3の外部ビット線OBL3は第3の内部ビット線BL3に、第4の外部ビット線OBL4は第4の内部ビット線BL4に夫々接続され、故に2本の内部ビット線のうちの第2の内部ビット線BL2の不良のみが救済される。

【0187】次に、図18中の第1のフリップフロップ61をリセットする。CHDIR＝「1」の状態、期待値信号EXP、コンペアイネーブル信号CMPEN、その他の所定の信号WE、SELECTRL等各信号を適切に制御し、外部ビット線OBL1に接続されているメモリセルM30をテストする。そして、SELECTRL＝「1」状態で、対応する制御メモリセルC11に制御データを書き込む。このようにして、対象となる外部ビット線を順にOBL2, OBL3, OBL4と切り替えながら、すなわち制御メモリセルをC12, C13, C14と切り替えながら同様の動作を行う。

【0188】この動作を行えば、メモリセルM33が不良と判定された後で制御データが「1」に変化する。この結果、C11～C14には「0」, 「0」, 「1」, 「1」が書き込まれる。

【0189】この段階で、第1の外部ビット線OBL1は第0の内部ビット線BL0に、第2の外部ビット線OBL2は第1の内部ビット線BL1に、第3の外部ビット線OBL3は第4の内部ビット線BL4に、第4の外部ビット線OBL4は第5の内部ビット線BL5に夫々接続され、BL2とBL3の両方の不良が救済される。

【0190】第14の実施例 図19は本発明の第14の実施例のメモリ回路のデータ制御回路29を示す図である。本実施例のデータ制御回路29は、図18の第13の実施例で説明したものと同一機能を有するものであるが、図18中において外部信号CHDIRで制御されるセクタに代えて、1個の論理和(OR)回路67が用いられており、CHDIR＝「1」とすることによって、第1のフリップフロップ(FF1)61および第2のフリップフロップ(FF0)64の両方が最初の故障を検出するものである。本実施例では、図18に比べて回路規模が小さくなる。

【0191】第15の実施例

<構成>図20は本発明の第15の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図20で

は第15の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、図18に示したデータ制御回路を図16(a),

(b)に示したデータ制御回路のようにスキャンレジスタ化したものである。図16(a), (b)どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。

【0192】ここで、図20中の排他的論理和回路31、論理積回路32、論理和回路35、論理積回路62、論理和回路63およびセクタ65は、図18の第13の実施例で示したものと同様である。

【0193】また、第13の実施例では、メモリ回路の制御メモリセル群17に与える制御データと外部から与えられる書込データXDI<i>とを選択して出力する第1のセクタ57を、第2のセクタ65と書込データ入力端子DI<i>との間に配置していたが、本実施例では、第13の実施例中の第1のセクタ57に代えて、論理和回路63と第2のフリップフロップ64との間に配置された選択手段69が設けられている。ここで、選択手段69は、2個のセクタ69a, 69bで構成されており、一方のセクタ69aは外部からの信号SINHDIによって切替制御され、その「1」側入力端子は論理和回路63の出力端子に接続され、「0」側入力端子には隣接されたデータ制御回路29から与えられるシフトイン信号SI0が入力される。他方のセクタ69bは外部からの信号SMによって切替制御され、その「0」側入力端子は外部の書込データ入力端子XDI<i>に接続され、「1」側入力端子はセクタ69aの出力端子に接続される。

【0194】また、論理和回路35と第1のフリップフロップ61との間には、隣接されたデータ制御回路29からのシフトイン信号SI1と、メモリ回路の読出データDO<i>と、論理和回路35から与えられる制御用の値PFとを選択する選択手段71が設けられている。選択手段71は、2個のセクタ71a, 71bで構成されており、一方のセクタ71aは外部からの信号SINHDOによって切替制御され、その「1」側入力端子は論理和回路35の出力端子に接続され、「0」側入力端子には隣接されたデータ制御回路29から与えられるシフトイン信号SI1が入力される。他方のセクタ71bは外部からの信号SMによって切替制御され、その「0」側入力端子にはメモリ回路からの読出データDO<i>が入力され、「1」側入力端子はセクタ71aの出力端子に接続される。

【0195】そして、本実施例のデータ制御回路29には、セクタ65からの出力情報と外部からのテストデータTDとを外部からの信号SELECTRLによって選択切替制御するセクタ72が設けられている。

【0196】また、本実施例の第1のフリップフロップ61および第2のフリップフロップ64は、第13の実

施例中のものとは同様の機能を有するものであるが、リセット機能付きのものが使用されており、すなわち、リセット端子 R にリセット信号 FF-RESET が入力される。リセット動作を行うには、SM=「1」、SINHDI=「1」、SINHDO=「1」、FF-RESET=「0」に設定しクロック T0、T1 を与える。

【0197】なお、第1のフリップフロップ61および第2のフリップフロップ64として、リセット機能なしのものを使用する場合は、本実施例の変形例として、図21に示すものを用いてもよい。ここでは、第1のフリップフロップ61～論理和回路35～選択手段71、および第2のフリップフロップ64～論理和回路63～選択手段69によって構成される記憶ループ内に、論理積(AND)回路73、74を夫々挿入し、同期リセットを行えばよい。

【0198】＜動作＞図20および図21に示したデータ制御回路29の動作を説明する。まず、SM=「1」、SINHDI=「1」、SINHDO=「1」に設定した状態では、図18に示した第13の実施例のデータ制御回路29と同様の動作をする。

【0199】一方、通常動作時には、SM=「0」、CHDIR=「0」、SELECTRL=「1」に設定することにより、第1のフリップフロップ61を读出データ出力端子XDO<i>へのデータ出力用に、第2のフリップフロップ64を書込データ入力端子XDI<i>からのデータ入力用に使用することができる。これにより、データに対して同期型のRAMが構成できる。

【0200】また、SM=「1」、SINHDO=「0」、SINHDI=「0」に設定し、同じタイミングの波形のクロック信号T0、T1を与えることによってシフト動作を行う。

【0201】第16の実施例

＜構成＞図22は本発明の第16の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図22では第13の実施例（特に図21）と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、図22は図21の回路を変形したものであって、第2のフリップフロップ64と第1のフリップフロップ61の従属関係を図21の回路に対して逆に設定したものである。したがって、第2のフリップフロップ64のデータ出力Q0はセクタ65の「1」側入力端子に与えられると同時に期待値比較手段を構成する論理積回路32にも与えられ、また、第1のフリップフロップ61の出力Q1は、論理積回路62に与えられることなく、第2のセクタ65の「0」側入力端子に与えられる。

【0202】＜動作＞上記構成のデータ制御回路29の動作を説明する。まず、第2のフリップフロップ64が最初の故障を検出し、第1のフリップフロップ61が2番目の故障を検出する。

【0203】なお、SM=「1」、SINHDI=「1」、SINHDO=「1」に設定した状態では、図18の冗長制御用データ発生回路と同じ動作をする。

【0204】さらに、通常動作時はSM=「0」、CHDIR=「1」、SELECTRL=「1」に設定することにより、第1のフリップフロップ61を读出データ出力端子XDO<i>へのデータ出力用に、第2のフリップフロップ64を書込データ入力端子XDI<i>からのデータ入力用に使用することができる。これにより、データに対して同期型のRAMが構成できる。

【0205】また、SM=「1」、SINHDO=「0」、SINHDI=「0」に設定し同タイミング波形のクロック信号T0、T1を与えることによってシフト動作を行えばよい。

【0206】第17の実施例

＜構成＞図23は本発明の第17の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図23では第14の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、図19に示した第14の実施例のデータ制御回路29をスキャンレジスタ化したものである。

【0207】具体的には、第14の実施例で説明したものと同様の排他的論理和回路31、論理積回路32、論理和回路35、第1のフリップフロップ61、論理積回路62、論理和回路63および第2のフリップフロップ64が設けられ、さらに、図21および図22中のものと同様の選択手段69（69a、69b）、71（71a、71b）、セクタ72および論理積回路73、74が設けられている。

【0208】本実施例でのスキャンパスは図16に示すように図23の回路を複数個直列接続して構成する。図16(a)、(b)どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。なお、各データ制御回路29（29a～29d）についてCHDIR信号も共通に接続する。

【0209】＜動作＞上記構成のデータ制御回路29の動作を説明する。まず、SM=「1」、SINHDI=「1」、SINHDO=「1」に設定した状態では、図18の冗長制御用データ発生回路と同じ動作をする。

【0210】さらに、通常動作時はSM=「0」、SELECTRL=「1」に設定することにより、第1のフリップフロップ61を读出データ出力端子XDO<i>へのデータ出力用に、第2のフリップフロップ64を書込データ入力端子XDI<i>からのデータ入力用に使用することができる。これにより、データに対して同期型のRAMが構成できる。

【0211】また、SM=「1」、SINHDO=「0」、SINHDI=「0」に設定し、同タイミング波形のクロック信号T0、T1を与えることによってシフト動作を行う。

【0212】なお、テスト時の書き込みデータは、SELECT=「0」の状態ではテストデータTDとして外部から与える。

【0213】本実施例では、図21および図22等で用いたセクタ65に代えて簡単な構成の論理回路67を使用することで、回路規模を小さくできる。

【0214】第18の実施例 図24は本発明の第18の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図24では図23に示した第17の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、テスト時(SELECT=「0」)の書き込みデータ(テストデータTD)を外から与えるための端子(TD端子)を省略し、期待値信号EXPの入力端子(EXP端子)とセクタ72の「0」側入力端子との間にインバータ76を設けることで、テストデータTDとして期待値信号EXPの反転信号を用いるよう構成したものである。なお、必ずしも期待値信号EXPの反転信号を用いる必要はなく、非反転信号であってもよいことはいうまでもない。この場合、図24のインバータ76を省略してEXP端子とセクタ72の「0」側入力端子とを直接に接続すればよい。なお、このようなテストデータTD用端子の省略は、図20、図21、図22の回路にも適用可能である。

【0215】第19の実施例 図25は本発明の第19の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図25では第15の実施例乃至第18の実施例と同様の機能を有する要素については同一符号を付している。第15の実施例乃至第18の実施例では、テスト時のメモリセルアレイ11に対する書き込みデータはTD端子またはEXP端子から与えていたのに対し、本実施例では、第2のフリップフロップ64のデータ出力端子Q0から書き込みデータ「0」を、第1のフリップフロップ61のデータ出力端子Q1から書き込みデータ「1」を作成するものである。したがって、第1のフリップフロップ61のデータ出力端子Q1からデータ「1」を作成するために、第1のフリップフロップ61のデータ出力端子Q1とセクタ65との間に、1個のインバータ77が挿入されている。

【0216】また、TD信号を用いないので、これに対応するセクタ(図20～図24中のセクタ74)は削除されている。

【0217】上記構成において、第2のフリップフロップ64および第1のフリップフロップ61のリセット動作後、故障が検出されるまでは、信号CHDIRの制御により書き込みデータを変更できる。CHDIR=「0」の状態では第2のフリップフロップ64のデータ出力端子Q0のデータである「0」が書込データ入力端子DI<i>に供給され、CHDIR=「1」の状態では第1のフリップフロップ61のデータ出力端子Q1の

反転データである「1」が書込データ入力端子DI<i>に供給され、メモリセルアレイ11に対する書き込みデータとして用いられる。

【0218】書き込みデータは信号CHDIRの制御に応じて固定されるが、図18と同様の動作が行える。

【0219】ただし、CHDIR=「1」のときは、制御メモリセルC11～C14用の制御データも反転されるため、カラム冗長制御回路12の制御メモリセルC11～C14のデータ入出力用端子を第20の実施例(図26)のように反転させる必要がある。

【0220】第20の実施例 図26は本発明の第20の実施例のメモリ回路を示す図である。なお、図26では図4と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、図25に示した第19の実施例のデータ制御回路29に対応するメモリ回路であって、カラム冗長制御回路12の制御メモリセル群17の制御メモリセルC11～C14が外部ビット線OBL1～OBL4に対して反転入出力のメモリセルになっている。

【0221】すなわち、図25においてCHDIR=「1」のときにRWL1が選択されると仮定した場合、CHDIR=「1」のときには、制御データも反転しているので、制御メモリセルC11～C14のデータの論理を各ワード線RWL1、RWL2で選択されるものとで反転させる。

【0222】図27は一般的なスタティックRAMに対する図26の具体例である。図6と比較すると、リセット用のトランジスタの位置と、セクタの制御信号の取り出し位置が異なっている。論理的には図26と等価である。

【0223】第21の実施例 図28は本発明の第21の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図28では図23に示した第17の実施例と同様の機能を有する要素については同一符号を付している。第17の実施例では、テスト時のメモリセルアレイ11に対する書き込みデータをテストデータTDとして外部から与えていたのに対し、本実施例では、第2のフリップフロップ64のデータ出力端子Q0からの出力データを反転または非反転で書込データ入力端子DI<i>に伝搬させてメモリセルアレイ11に対する書き込みデータを作成する。反転または非反転の制御は期待値信号EXPで行う。このように、期待値信号EXPで反転/非反転の制御を行うための要素として、一方の入力端子がEXP端子に接続され、他方の入力端子が第2のフリップフロップ64のデータ出力端子Q0に接続される1個の排他的論理和(EX、OR)回路78が設けられている。ただし、当該排他的論理和回路78に代えて、反転排他的論理和(EX、NOR)回路を用いてもよい。なお、本実施例では、テストデータTDを用いないので、これに対応するセクタは削除されている。

【0224】上記構成では、第2のフリップフロップ64のリセット動作後、第2のフリップフロップ64で故障が検出されるまでは、期待値信号EXPの制御により書き込みデータを変更できる。EXP=「0」の状態では第2のフリップフロップ64のデータ出力端子Q0の反転データである「0」が書込データ入力端子DI<i>に供給され、EXP=「1」の状態では第2のフリップフロップ64のデータ出力端子Q0の反転データである「1」が書込データ入力端子DI<i>に供給され、メモリセルアレイ11に対応する書き込みデータとして用いられる。かかる動作により、図18と同様の動作が行える。

【0225】ただし、制御メモリセルC11~C14に制御データを書き込む場合は、EXP=「0」に設定すればよい。

【0226】第2の実施例

<構成>図29は本発明の第2の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図29では図23に示した第17の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、図23の回路を、3ポートRAMに適用可能なように改良したものである。すなわち、本実施例のデータ制御回路29は、1個の書き込み専用ポートに対応する書込データ用端子DI0<i>と、2個の読み出し専用ポートに対応する読出データ用端子DO1<i>、DO2<i>を持つ3ポートRAM対応のものである。

【0227】具体的には、第17の実施例では、読出データDO<i>に対応するよう、排他的論理和回路31、論理積回路32、論理和回路35、論理積回路73、選択手段71および第1のフリップフロップ61で構成される回路（以下、読出データ対応回路と称する）が1個だけ設けられていたのに対し、本実施例では、2個の読出データDO1<i>、DO2<i>に対応するよう、2個の読出データ対応回路79A、79Bが設けられている。各読出データ対応回路79A、79B中の排他的論理和回路31A、31B、論理積回路32A、32B、論理和回路35A、35B、論理積回路73A、73B、選択手段71A、71B、セクタ71c、71e、セクタ71d、71f、第1のフリップフロップ61A（FF1）、61B（FF2）および制御用の値PF1、PF2は、図23中の排他的論理和回路31、論理積回路32、論理和回路35、論理積回路73、選択手段71、セクタ71a、セクタ71b、第1のフリップフロップ61（FF1）および制御用の値PFに夫々相当するものである。

【0228】また、2個の排他的論理和回路31A、31Bのうち、少なくとも一方が故障データを検出したときに、論理積回路62に対して制御用の値PFを伝達し得るよう、両排他的論理和回路31A、31Bと論理積

回路62の間にさらに1個の論理和（OR）回路80が設けられている。

【0229】なお、本実施例においては、いつかの上述した実施例と同様、図30に示すように、図29の回路を複数個直列接続してスキャンパスが構成される。ここでは、図30（a）、（b）どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。

【0230】<動作>上記構成のデータ制御回路29の動作を説明する。まず、テスト時は各ポートのアドレス信号に同一のアドレスを与えながら、シングルポートRAMのようにテストを行う。

【0231】一対の読み出し専用ポートの不良検出結果は各読出データ対応回路79A、79Bの各フリップフロップ61A、61Bに格納される。

【0232】一方の読出データ用端子DO1<i>において最初の故障を検出すると、PF1=「1」となり、第1のフリップフロップ61の出力Q1が「0」から「1」に変化する。

【0233】同様に、他方の読み出し専用ポートの読出データ用端子DO2<i>において最初の故障を検出すると、PF2=「1」となり、第1のフリップフロップ61Bの出力Q2が「0」から「1」に変化する。

【0234】CHDIR=「0」の場合、Q1またはQ2が「0」から「1」に変化した後の最初の故障（つまり2番目の故障）が検出されると、第2のフリップフロップ64のデータ出力端子Q0が「0」から「1」に変化する。

【0235】CHDIR=「1」の場合、読出データ用端子DO1<i>、DO2<i>のいずれかにおいて最初の故障を検出すると、PF=「1」となり、第2のフリップフロップ64のデータ出力端子Q0が「0」から「1」に変化する。

【0236】つまり、CHDIR=「1」の場合は最初の故障を検出した時点で、制御データを「0」から「1」に変化させ、CHDIR=「0」の場合は2番目の故障を検出した時点で、制御データを「0」から「1」に変化させる。したがって、図18の回路と同様の動作によって適切な冗長回路切替が行える。

【0237】第3の実施例

<構成>図31は本発明の第3の実施例のメモリ回路のデータ制御回路29を示す図である。なお、図31では図12に示した第9の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、3ポートRAMに適用可能なように図12の制御メモリセル用データ発生回路を改良したものである。したがって、図1、図2、図3のようにカラム冗長度が「1」のカラム冗長制御回路12に対応して設けられるものである。本実施例では、1個の書き込み専用ポートと2個の読み出し専用ポートを持つ3ポートR

AMを対象としている。

【0238】書込データ入力端子DIO<i>はメモリ回路の書き込み専用ポートに接続され、一対の読出データ用端子DO1<i>, DO2<i>はメモリ回路の一対の読み出し専用ポートに夫々接続する。

【0239】そして、本実施例では、第9の実施例中の排他的論理和回路31に代えて、一対の排他的論理和回路31A, 31Bと、これらの論理和を演算して制御用の値PFを発生させる1個の論理和回路81が設けられている。

【0240】<動作>上記構成のデータ制御回路29の動作を説明する。まず、テスト時は各ポートのアドレス信号に同一のアドレスを与えながらシングルポートRAMのようにテストを行う。そして、少なくともいずれか1個の読み出し専用ポートで期待値信号EXPと異なる値が検出されれば、排他的論理和回路31A, 31Bの出力PF1, PF2のうちいずれかは「1」になり、故に論理和回路81の出力(制御用の値)PFは「1」になる。

【0241】この状態で、CMPEN=「1」, SM=「1」, SINHDO=「1」, FF-RESET=「1」の時にクロック信号Tが与えられると、フリップフロップ43には「1」がセットされる。つまり、故障が検出されればFFの出力Qは0から1に変化する。その他の動作は図12の回路と同じである。このように、3ポートRAMに対して適切な冗長切替を行い得る。

【0242】第24の実施例 図32(a)は本発明の第24の実施例として、図31に示した第23の実施例のデータ制御回路29で構成されたスキャンパスを示す図である。本実施例のデータ制御回路29は、メモリセルアレイ11の各メモリセルをアクセスする場合は、スキャンパスのシリアルシフト動作を行わないので、スキャンパスのシリアル入力端子SID(以下、SIDと称する)は使用されない。したがって、SID端子からテストデータTDを入力することができる。

【0243】この場合は、通常動作メモリセルに対する書き込みデータをSID端子から与える。なお、SID端子の反転データをテストデータTDとして供給してもよい。この場合は、メモリセルアレイ11に対する書き込みデータをSID端子から与える。

【0244】第25の実施例 図32(b)は本発明の第25の実施例として、図31に示した第23の実施例のデータ制御回路29で構成されたスキャンパスを示す図である。本実施例のデータ制御回路29は、メモリセルアレイ11の各メモリセルをアクセスする場合は、スキャンパスのシリアルシフト動作を行わないので、スキャンパスのシリアル入力端子SID(以下、SIDと称する)は使用されない。したがって、SID端子から期待値信号EXPを入力することができる。なお、本実施例では、SID端子のデータをインバータ87により

反転させた形で期待値信号EXPとして入力しているが、本実施例の変形例として、SID端子の非反転データを期待値信号EXPとして供給してもよい。

【0245】さらに、本実施例の構成と、図32(a)(第24の実施例)の構成を同時に適用してもよい。

【0246】第26の実施例 図33は本発明の第26の実施例のメモリ回路を示す図である。図1に示した第1の実施例のメモリ回路が内部ビット線BL1~BL5のいずれかの不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線WL1~WL5のいずれかの不良を救済するよう構成されたものである。すなわち、本実施例のデータ制御回路29は、外部ワード線OWL1~OWL4に接続された制御メモリセルR11~R41でセクタSEL1~SEL4を制御し、外部ワード線OWL1~OWL4と内部ワード線WL1~WL5との対応関係を切り替えることにより不良を救済する。なお、図33中の符号91はロウ冗長制御回路(ROW-RED-CTRL)、符号92はセクタ群、符号93は制御メモリセル群である。

【0247】例えば、第2の内部ワード線WL2そのものの故障(断線やショート故障)や第2の内部ワード線WL2に接続された各メモリセルM21, M22, M23, ...に故障がある場合、図33のように第1の外部ワード線OWL1と第1の内部ワード線WL1, 第2の外部ワード線OWL2と第3の内部ワード線WL3, 第3の外部ワード線OWL3と第4の内部ワード線WL4, 第4の外部ワード線OWL4と第5の内部ワード線WL5が夫々対応するように、セクタSEL1~SEL4を切り替える。この切り替えは制御メモリセルR11, R21, R31, R41に対して「0」, 「1」, 「1」, 「1」を書き込むことにより行われる。

【0248】メモリセルアレイ11は外部ワード線OWL1~OWL4からアクセスされるので、第2の内部ワード線WL2に関係する故障は外部からは観測されず、故障のないメモリ回路のように動作することができる。

【0249】なお、制御メモリセルR11~R41は、リセット機能付きでもよいし、リセット機能なしでもよい。リセット機能なしの場合はビット線RBL1をアクティブにした時に外部ワード線OWL1~OWL4から各制御メモリセルR11~R41に「0」を書き込むことによってリセット動作を行う。リセット後は、全てのセクタが入力「0」側に切り替わるので、第1の外部ワード線OWL1と第1の内部ワード線WL1, 第2の外部ワード線OWL2と第2の内部ワード線WL2, 第3の外部ワード線OWL3と第3の内部ワード線WL3, 第4の外部ワード線OWL4と第4の内部ワード線WL4が夫々対応する。

【0250】リセット後に、メモリセルアレイ11のテストを行い、故障が検出されれば上記のようにセクタを切り替えて不良を救済する。

【0251】なお、制御メモリセルR11～R41に関しては、シングルポートRAMと同様のメモリセルを用いてもよいし、電氣的にプログラム可能なROM用のメモリセルを用いてもよい。

【0252】なお、各ワード線および各外部ワード線は複数の信号線により構成されるものも含まれる。例えば、マルチポートRAMでは複数のポートに対するワード線関連の信号線を持つが、これらをまとめてワード線WLまたは外部ワード線OWLと呼ぶ。例えば、1個の書き込み専用ポートと2個の読み出しポートを持つ3ポートRAMでは、ワード線WLや外部ワード線OWLは少なくとも3本の信号線で構成される。このような場合であっても、基本的な機能は変わるものではない。

【0253】第27の実施例 図34は本発明の第27の実施例のメモリ回路を示す図である。図2に示した第2の実施例のメモリ回路が内部ビット線BL1～BL5のいずれかの不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線WL1～WL5のいずれかの不良を救済するよう構成されたものである。すなわち、ワード線BL1～BL4に接続された制御メモリセルR11～R41でセクタSEL1～SEL4を制御し外部ワード線OWL1～OWL4と内部ワード線WL1～WL5の対応関係を切り替えることにより不良を救済するものである。

【0254】例えば、第2の内部ワード線WL2そのものの故障（断線やショート故障）や第2の内部ワード線WL2に接続されたメモリセルM21, M22, M23, …に故障がある場合、図34のように第1の外部ワード線OWL1と第1の内部ワード線WL1, 第2の外部ワード線OWL2と第3の内部ワード線WL3, 第3の外部ワード線OWL3と第4の内部ワード線WL4, 第4の外部ワード線OWL4と第5の内部ワード線WL5が夫々対応するようにセクタSEL1～SEL4を切り替える。この切り替えは制御メモリセルR11, R21, R31, R41に対して「0」, 「1」, 「1」, 「1」を書き込むことにより行われる。

【0255】なお、本実施例では、不運にも電源投入時に制御メモリセルR11, R21, R31, R41に「0」, 「1」, 「1」, 「1」が設定されたとすると、制御メモリセルR21は、図34のようにどの外部ワード線OWL1～OWL4にも接続されない。そして、もし、各制御メモリセルR11～R41にリセット機能がなければ、制御メモリセルR21に「0」を設定する手段はない。したがって、適切な冗長回路切替が行えない。そこで、本実施例では、望ましくは制御メモリセルR11～R41はリセット機能付きのものをを用いる。ただし、明確なりセット機能は必須ではない。例えば、電源投入時に制御メモリセルが全て「0」にリセットされるようにメモリセル自身を設計しておいてもよい。例えば、トランジスタのサイズを変える等、メモリ

セルの回路をデータの「0」, 「1」に対して非対称になるように設計すれば、電源投入時に制御メモリセルが全て「0」にリセットできる。

【0256】また、制御メモリセルが光（紫外線）照射消去可能なプログラマブルROM（UVEPROM）用のメモリセルの場合は、光照射によりリセット動作が可能である。

【0257】リセット後の動作は図33の回路と同じであるため、説明を省略する。

10 【0258】第28の実施例 図35は本発明の第28の実施例のメモリ回路のデータ制御回路29を示す図である。本実施例のデータ制御回路29は、図3に示した第3の実施例のメモリ回路が内部ビット線BL1～BL5のいずれかの不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線WL1～WL5のいずれかの不良を救済するよう構成されたものである。すなわち、内部ワード線WL1～WL5に接続された制御メモリセルR11～R41でセクタSEL1～SEL4を制御し、外部ワード線OWL1～OWL4と内部ワード線WL1～WL5の対応関係を切り替えることにより不良を救済するものである。図35中の符号94は論理積回路群である。

30 【0259】例えば、第2の内部ワード線WL2そのものの故障（断線など）や第2の内部ワード線WL2に接続されたメモリセルM21, M22, M23, …に故障がある場合、図35のように第1の外部ワード線OWL1と第1の内部ワード線WL1, 第2の外部ワード線OWL2と第3の内部ワード線WL3, 第3の外部ワード線OWL3と第4の内部ワード線WL4, 第4の外部ワード線OWL4と第5の内部ワード線WL5が対応するようにセクタSEL1～SEL4を切り替える。この切り替えは制御メモリセルR11, R21, R31, R41に対して「0」, 「1」, 「1」, 「1」を書き込むことにより行われる。

40 【0260】なお、制御メモリセルR11～R41はリセット機能付きでもよいし、リセット機能なしでもよい。リセット機能なしの場合は冗長イネーブル信号線RED-ENを「0」に設定し、外部ワード線OWL1, OWL2, OWL3, OWL4を順にアクティブにしながらビット線BL1から制御メモリセルR11, R21, R31, R41に「0」を書き込むことによってリセット動作を行うことができる。

50 【0261】冗長イネーブル信号線RED-ENを「0」に設定することにより外部ワード線OWL1～OWL4と制御メモリセルR11～R41の対応関係を確定できる。すなわち、第1の外部ワード線OWL1と第1の制御メモリセルR11, 第2の外部ワード線OWL2と第2の制御メモリセルR21, 第3の外部ワード線OWL3と第3の制御メモリセルR31, 第4の外部ワード線OWL4と第4の制御メモリセルR41が対応す

るので、図34の回路に比べれば制御メモリセル自身をテストすることが容易である。

【0262】第29の実施例 図36は本発明の第29の実施例のメモリ回路のデータ制御回路29を示す図である。本実施例のデータ制御回路29は、図4に示した第4の実施例のメモリ回路が内部ビット線BL1~BL5のいずれか2本分の不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線WL1~WL5のいずれか2本分の不良を救済するよう構成されたものである。すなわち、本実施例のデータ制御回路29は、外部ワード線OWL1~OWL4のビット数(4ビット)よりも2ビット多い(6ビット)本数のワード線WL0~WL5を供え、3接点型セクタSEL1~SEL4により、1ビットの外部ワード線(例えばOWL1)に接続される信号を隣接する3個のワード線(例えばWL0, WL1, WL2)の中から選択する。各3接点セクタは2個の制御メモリセルにより制御される(例えばSEL1はR11とR12により制御される)。

【0263】かかる構成により、ワード線2本分の不良を救済できる。

【0264】例えば、第2の内部ワード線WL2と第3の内部ワード線WL3そのものの故障(断線やショート故障)や、第2の内部ワード線WL2および第3の内部ワード線WL3に接続されたメモリセルM21, M22, M23, ..., M31, M32, M33, ...に故障がある場合、図36のように第1の外部ワード線OWL1と第0の内部ワード線WL0, 第2の外部ワード線OWL2と第1の内部ワード線WL1, 第3の外部ワード線OWL3と第4の内部ワード線WL4, 第4の外部ワード線OWL4と第5の内部ワード線WL5が夫々対応するようにセクタSEL1~SEL4を切り替える。この切り替えは制御メモリセル(R11, R12), (R21, R22), (R31, R32), (R41, R42)に対して(0, 1), (0, 1), (1, 0), (1, 0)を書き込むことにより行われる。

【0265】なお、図36では制御メモリセルR11~R41はリセット機能付きでもよいし、リセット機能なしでもよい。リセット機能なしの場合は外部ワード線OWL1, OWL2, OWL3, OWL4を順にアクティブにしながらビット線RBL1, RBL2から制御メモリセルR11~R41に「0」を書き込むことによってリセット動作を行う。

【0266】第30の実施例 図37は第30の実施例として、図36に示した第29の実施例のロウ冗長制御回路(ROW-RED-CTRL)91をCMOS回路で構成した場合の具体的な回路図である。例えば、図36のようにセクタSEL1~SEL4の切り替えが行われて、制御メモリセル(R11, R12), (R21, R22) (R31, R32), (R41, R42)

に対して値(0, 1), (0, 1), (1, 0) (1, 0)が書き込まれた場合、図36ではワード線WL2, WL3は未接続状態となり不安定レベルになるおそれがある。不安定レベルになれば、RAMが誤動作する。

【0267】このような事態を回避するために図37では、ロウ冗長制御回路91に対し、ワード線レベル固定回路95を付加している。

【0268】ワード線レベル固定回路95については、例えば、制御メモリセルR11で制御されるPチャネルトランジスタ、制御メモリセルR32で制御されるPチャネルトランジスタ、制御メモリセルR21と制御メモリセルR22の出力のNOR論理で制御されるPチャネルトランジスタの3個のトランジスタで構成される。

【0269】内部ワード線WL0~WL5のドライバーであるインバータ回路96の入力がどの外部ワード線OWL1~OWL4に対しても未接続状態になるときに、この3個のトランジスタが全てON状態になり、そのインバータ回路96の入力を「1」に固定する。この結果ワード線はインアクティブな値「0」に固定される。これによりRAMの誤動作を回避できる。

【0270】図38は上述したロウ冗長機能付きメモリ回路の全体の回路例である。図38中、符号97は書き込みドライバおよびセンスアンプ(以下、WD&SAと略す)、符号98はカラムセクタ(COL-SEL)である。メモリセルアレイ11に関しては、WD&SA97とカラムセクタ98は1対1で対応している。

【0271】図38では、制御メモリセルR11~R41に関しては、カラムセクタを設けず、一対のビット線RBL1, RBL2に対して夫々独立にWD&SA97を設けている。

【0272】したがって、一方のビット線RBL1に関連する制御メモリセルR11, R21, R31, R41に対する制御データはRED-DI1から、他方のビット線RBL2に関連する制御メモリセルR12, R22, R32, R42に対する制御データはRED-DI2から書き込む。

【0273】なお、図38では、他方のビット線RBL2を示しているが、冗長度が「1」のロウ冗長制御回路(ROW-RED-CTRL)91(例えば図33、図34、図35)を用いる場合はこの信号は存在しない。

【0274】また、図38では、冗長イネーブル信号線RED-ENから与えられる信号を示しているが、例えば図33、図34、図36のように、ロウ冗長制御回路91の種類によってはこの信号は存在しない。

【0275】また、図38ではリセット信号RED-RESETを示しているが、例えば、図33や図35、図36の回路でリセット機能なしの制御メモリセルを用いる場合のように、カラム冗長制御回路(ROW-RED-CTRL)91の種類によってはこの信号は存在しない。

い。

【0276】なお、制御メモリセルR11～R41をテストするためには、図38のように、これに対するセンスアンプを設けることが望ましいが、不要な場合は削除してもよい。この場合は、出力信号RED-DO1、RED-DO2も不要である。

【0277】第31の実施例 図39は本発明の第31の実施例のメモリ回路を示す全体構成図である。なお、図39では図38に示した第30の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、図38のロウ冗長機能付きRAMを改良したものであり、冗長度が「2」以上の例えば図36に示したようなロウ冗長制御回路(ROW-RED-CTRL)91に対して使用されるものである。

【0278】一対のビット線RBL1、RBL2の選択のためにカラムセクタ(COL-SEL2)101とカラムデコーダ(COL-DEC2)102が設けられている。また、かかる構成に伴って、書き込みドライバおよびセンスアンプ(WD&SA)97は図38のものよりも1個削減されている。

【0279】図39の如く、本実施例では、ビット線RBL1、RBL2の選択信号RED-COL-ADDRは1本で済む。したがって、総合的には図38の回路に比べて2本の信号線が削減される。

【0280】第32の実施例 図40は本発明の第32の実施例のメモリ回路を示す図である。なお、図40では図39に示した第31の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路29は、ワード線関連の不良が3個以上の場合にも対応できるようにロウ冗長機能付きRAMの全体の回路図である。

【0281】図39に示した第31の実施例では1個のロウデコーダ(ROW-DEC)23に対して1個のロウ冗長制御回路(ROW-RED-CTRL)91が備えられていたが、図40では1個のロウデコーダ(ROW-DEC)23に対して複数(2個)のロウ冗長制御回路(ROW-RED-CTRL)91が備えられている。

【0282】これまでに説明したように1個のロウ冗長制御回路(ROW-RED-CTRL)91でこれに接続されるメモリセルアレイ11内の最大2個のワード線不良が救済できるので、複数のロウ冗長制御回路(ROW-RED-CTRL)を設けることで3個以上のワード線不良も救済することができる。具体的には、各ロウ冗長制御回路91に対するロウデコーダ23からの外部ワード線OWLが64本ずつ(合計128本)として、各ロウ冗長制御回路91において2本分の内部ワード線WLに対する不良救済を行うため、1個のロウ冗長制御回路91につき64+2=66本(合計132本)の内部ワード線WLを接続できる。すなわち、本実施例で

は、132-128=4本分のワード線不良の救済が可能となる。

【0283】なお、本実施例では、第31の実施例(図39)の回路を元に改良を加えているが、第30の実施例(図38)の回路を元に改良を加えてもよい。

【0284】第33の実施例

＜構成＞図41は本発明の第33の実施例のメモリ回路のロウ冗長制御用データ制御回路100を示す図である。なお、図41では図11に示した第8の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路100は、例えば第30の実施例(図38)においてRBL2が省略された場合のように、冗長度が「1」とされた例えば第26の実施例(図33)のメモリ回路30と、これに対するデータ制御回路100(制御メモリセル用データ発生回路)との接続関係を示す回路図である。

【0285】本実施例のデータ制御回路100は、例えば4本の読出データ用端子DO<i>の各値と期待値信号EXPとを比較して制御用の値PFを出力する期待値比較手段105と、第8の実施例で説明したものと同様の論理和回路35およびフリップフロップ33とを備える。

【0286】期待値比較手段105は、後述する第34の実施例、第35の実施例または第36の実施例のような比較手段106と、第8の実施例で説明したものと同様の論理積回路32とから構成されている。

【0287】なお、フリップフロップ33は非同期リセット型でもよいし同期リセット型でもよい。

【0288】＜動作＞上記構成のデータ制御回路100の動作を説明する。まず、リセット信号FF-RESETによりFFを「0」にリセットする。

【0289】次に、比較手段106は、期待値信号EXPとメモリ回路30の読出データ用端子DO<i>からの出力を比較し、異なっていれば制御用の値PFとして「1」を出力する。この状態でコンペイネーブル信号CMPENが「1」の時にクロック信号Tが与えられると、フリップフロップ33には「1」がセットされる。つまり、故障が検出されればフリップフロップ33の出力Qは「0」から「1」に変化する。

【0290】次に、図33および図38を参照しながら図41の回路全体の動作例を説明する。

【0291】(1) まず、図33において、リセット信号RED-RESET等の手段によって制御メモリセルR11、R21、R31、R41をリセットする。

【0292】(2) 次に、図41において、リセット信号FF-RESET等の手段によってデータ制御回路100のフリップフロップ33をリセットする。

【0293】(3) そして、図41中の期待値信号EXP、コンペイネーブル信号CMPEN、その他の所定の信号WE、SEL等を適切に制御し、図33中の第

1の内部ワード線WL1に接続されているメモリセルM11, M12, M13, …をテストし、各メモリセルM11, M12, M13, …をテストする毎に、図41中のフリップフロップ33のデータ出力端子Qからのデータ(制御用の値PF)を、対応する図33中の制御メモリセルR11に書き込む。

【0294】(4) こうして、ワード線を順にWL2, WL3, WL4と切り替えながら、上記(3)と同様の動作を行う。

【0295】このように、本実施例では、例えば第2の内部ワード線WL2自身の故障や第2の内部ワード線WL2に接続されたメモリセルM21, M22, M23, …の故障の場合は、図33に示したように、制御メモリセルR11, R21, R31, R41に「0」, 「1」, 「1」, 「1」が書き込まれる。したがって、適切な冗長回路切替が行われる。

【0296】第34の実施例 図42(a)は、図41に示した第33の実施例のデータ制御回路100内で使用される比較手段106の一例(第34の実施例)を示すものである。本実施例の比較手段106は、すべてのビット線について故障した場合についてのみ故障検出を行うものであって、全読出データ用端子DO<1>~DO<4>に対応する4個の排他的論理和(E_x. O_R)回路31a~31dと、全排他的論理和回路31a~31dを入力する論理積(AND)回路107とを備える。

【0297】上記構成において、例えば図33において内部ワード線WL0~WL5がグランドにショートするような故障の場合、この内部ワード線WL0~WL5に関連する全データ出力がフェイルする。

【0298】本実施例では、期待値信号EXPと各データ出力DO<1>, DO<2>, DO<3>, DO<4>を比較し、これが全て異なったときに制御用の値P1が「1」になる。したがって、内部ワード線WL0~WL5のショート故障を検出することができる。

【0299】なお、全データ出力を比較対象とする必要はない。例えば、DO<4>とDO<1>が同時にフェイルした場合はワード線WL0~WL5のショート故障である可能性が高いことを考慮し、DO<3>とDO<2>に関する排他的論理和回路を削除してもよい。このようにすれば、回路規模を削減できる。

【0300】第35の実施例 図42(b)は、図41に示した第33の実施例のデータ制御回路100内で使用される比較手段106の一例(第35の実施例)を示す図である。なお、図42(b)では図42(a)に示した第34の実施例と同様の機能を有する要素については同一符号を付している。本実施例の比較手段106は、例えば図33中のいずれかの内部ワード線WL0~WL5に接続されるメモリセルの故障を対象とするものであって、図42(a)に示した第34の実施例の論理

積回路107に代えて、4入力論理和(O_R)回路108が設けられている。

【0301】上記構成においては、メモリセルアレイ11中のいずれか1個のメモリセルに故障が発生した場合に、対応するデータ出力のみがフェイルする。

【0302】本実施例では、各排他的論理和回路31a~31dによって期待値信号EXPと各読出データ用端子DO<1>, DO<2>, DO<3>, DO<4>の値とを比較し、1個以上異なったときに制御用の値PFが「1」になる。したがって、メモリセルMの故障を容易に検出することができる。

【0303】第36の実施例 図42(c)は、図41に示した第33の実施例のデータ制御回路100内で使用される比較手段106の一例(第36の実施例)を示すものである。本実施例の比較手段106は、ロウ冗長制御回路91とメモリセルアレイ11との接続配線を考えた場合に、ロウ冗長制御回路91から最も遠く接続されたメモリセルに関する読出データ用端子DO<4>のみの故障検出を行う1個の排他的論理和(E_x. O_R)回路31を設けたものである。

【0304】上記構成において、内部ワード線WL0~WL5の断線故障の場合、故障箇所から先のメモリセルはすべてフェイルする。したがって、ロウ冗長制御回路91およびロウデコーダ23から最も遠いメモリセルのみをテストすれば、断線故障を検出できる。すなわち、ロウ冗長制御回路91から最も遠いメモリセルの故障は、ロウ冗長制御回路91から最も遠い読出データ用端子DO<4>を観測することにより検出されるので、図42(c)のようにこのデータ出力(DO<4>)のみを比較対象とすればよい。

【0305】なお、図42(c)の回路では、内部ワード線WL0~WL5がグランドにショートするような故障も検出できる。この目的で使用する場合は、ロウ冗長制御回路91から最も遠いデータ出力を比較対象とする必要はなく、DO<1>等、どのデータ出力を比較対象としてもよい。

【0306】なお、図42(d)のように図42(a), (b), (c)の機能を選択できるようにセレクタを付加してもよい。

【0307】第37の実施例 図43は本発明の第37の実施例のメモリ回路のデータ制御回路100を示す図である。なお、図43では図18に示した第13の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路100は、図18に示した第13の実施例のものと類似の回路であるが、図18中の書込データ入力端子XDI<1>~XDI<4>およびセレクタ57が省略されており、さらに、排他的論理和回路31に代えて第34の実施例乃至第36の実施例のいずれかの比較手段106が設けられている。

【0308】本実施例において、メモリ回路30のRED-COL-ADDR端子には外部からのCHDIR信号が供給される。CHDIR=「1」の場合は、図39および図36の一方のビット線RBL1、CHDIR=「0」の場合は他方のビット線RBL2が選択される。

【0309】次に、データ制御回路100の動作を説明する。まず、リセット信号FF-RESETにより第2のフリップフロップ64、第1のフリップフロップ61を0にリセットする。ここで、比較手段106は、期待値信号EXPとメモリ回路30の読出データ用端子DO<1>~DO<4>を比較し、異なっていれば制御用の値PFとして「1」を出力する。この状態でコンパイネーブル信号CMPENが「1」の時にクロック信号Tが与えられると、第1のフリップフロップ61には「1」がセットされ、その出力データQ1が「1」になる。つまり、最初の故障が検出されれば第1のフリップフロップ61の出力データQ1は「0」から「1」に変化する。

【0310】第1のフリップフロップ61の出力データQ1が「1」、制御用の値PFが「1」、コンパイネーブル信号CMPENが「1」の時にクロック信号Tが与えられると、第2のフリップフロップ64には「1」がセットされ、その出力データQ0が「1」になる。つまり、2番目の故障が検出されれば第2のフリップフロップ64の出力データQ0は「0」から「1」に変化する。

【0311】第2のセクタ65は、信号CHDIRが「0」の時は第2のフリップフロップ64、信号CHDIRが「1」の時は第1のフリップフロップ61の出力を、制御メモリセルR11~R41（図36）に対する制御データとして選択する。

【0312】CHDIR=「1」に固定して使用する場合は、図41の回路と同様の動作が行え、1個のワード線に関する故障を救済できる。しかしながら、CHDIR=「1」に固定した動作で救済が行えない場合、つまり2個のワード線に関する故障の場合は、以下に示す動作で救済する。ここではワード線のショートや断線の故障を仮定しているので、カラムアドレスCOL-ADDRは例えば「0」に固定してテストを行う。

【0313】図36および図39を参照しながら図43の回路全体の動作例を説明する。なお、ここではワード線WL2とワード線WL3の故障を仮定して説明を行う。

【0314】（1） 図36において、リセット信号RED-RESET等の手段により、制御メモリセルR11、R21、R31、R41、R12、R22、R32、R42をリセットする。

【0315】（2） 図43において、データ制御回路100の第2のフリップフロップ64および第1のフリップフロップ61をリセットする。

【0316】（3） 期待値信号EXP、コンパイネーブル信号CMPEN、その他の所定の信号WE等を適切に制御し、図36において、CHDIR=「0」の状態第4の内部ワードWL4に接続されている通常動作メモリセル（M41）をテストする。そして、図43において、第2のフリップフロップ64のデータ出力端子Q0のデータ（制御用の値PF）を、対応する図36中の制御メモリセルR42に書き込む。

【0317】（4） ワード線の対象を順にWL3、WL2、WL1と切り替えながら、すなわち制御メモリセルを順にR32、R22、R12と切り替えながら、上述の（3）と同様の動作を行う。

【0318】上記の動作を行えば、内部ワード線WL3、WL2関連のメモリセルM31、M21が不良と判定された後で制御データが「1」に変化する。この結果、R12、R22、R32、R42には「1」，「1」，「0」，「0」が書き込まれる。この段階で、第1の外部ワード線OWL1は第0の内部ワード線WL0に、第2の外部ワード線OWL2は第1の内部ワード線WL1に、第3の外部ワード線OWL3は第3の内部ワード線WL3に、第4の外部ワード線OWL4は第4の内部ワード線WL4に夫々接続され、第2の内部ワード線WL2の不良は救済されている。

【0319】（5） 次に、データ制御回路100の第1のフリップフロップ61をリセットする。

【0320】（6） 期待値信号EXP、コンパイネーブル信号CMPEN、その他の所定の信号WE等各信号を適切に制御し、CHDIR=「1」の状態第1の外部ワード線OWL1に接続されているメモリセルM01をテスト（図36）し、第1のフリップフロップ61の出力データQ1（制御用の値PF）を対応する制御メモリセルR11に書き込む。

【0321】（7） 外部ワード線を順にOWL2、OWL3、OWL4と切り替えながら、すなわち、制御メモリセルを順にR21、R31、R41と切り替えながら、上述した（6）と同様の動作を行う。

【0322】この動作を行えば、メモリセルM31が不良と判定された後で制御データが「1」に変化する。この結果、R11、R21、R31、R41には「0」，「0」，「1」，「1」が書き込まれる。この段階で、第1の外部ワード線OWL1は第0の内部ワード線WL0に、第2の外部ワード線OWL2は第1の内部ワード線WL1に、第3の外部ワード線OWL3は第4の内部ワード線WL4に、第4の外部ワード線OWL4は第5の内部ワード線WL5に夫々接続され、第2の内部ワード線WL2および第3の内部ワード線WL3の不良は救済される。

【0323】第38の実施例 図44は本発明の第38の実施例のメモリ回路のデータ制御回路100を示す図である。なお、図44では図19に示した第14の実

実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路 100 は、図 19 に示した第 14 の実施例のものと類似の回路であるが、図 19 中の書込データ入力端子 $XDI<1>\sim XDI<4>$ およびセクタ 57 が省略されており、さらに、排他的論理和回路 31 に代えて第 34 の実施例乃至第 36 の実施例のいずれかの比較手段 106 が設けられている。すなわち、第 37 の実施例中のセクタ 65 に代えて 1 個の論理和 (OR) 回路 67 が用いられた構成とされている。そして、 $CHDIR = 「1」$ とすることによって、第 2 のフリップフロップ 64 および第 1 のフリップフロップ 61 の両方が最初の故障を検出する。図 44 に比べて回路規模が小さい。

【0324】図 45 は、本実施例において、カラム冗長制御回路 12 とロウ冗長制御回路 $ROW-RED-CTRL$ を同時に適用した場合の冗長機能付きメモリ回路の全体図である。図 45 では図 17 の回路と図 39 の回路を融合している。

【0325】図 45 に示すように、冗長イネーブル信号線 $RED-EN$ から与えられる信号がカラム冗長制御回路 12 とロウ冗長制御回路 91 の両方に存在する場合は、この冗長イネーブル信号線 $RED-EN$ は両冗長制御回路 12, 91 に共通に接続することができる。

【0326】カラム冗長制御回路 12 の切替とロウ冗長制御回路 91 の切替を順に行う場合は、図 45 に示すように、リセット信号 $RED-RESET (RED-RESET-R, RED-RESET-C)$ を各冗長制御回路 12, 91 について独立して供給させる。

【0327】どちらか一方のみで救済を行うのであれば、リセット信号 $RED-RESET-R$ と $RED-RESET-C$ は共通の接続線から供給してもよい。

【0328】第 39 の実施例 図 46 は本発明の第 39 の実施例のメモリ回路のデータ制御回路 100 を示す図である。なお、図 46 では図 18 に示した第 13 の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路 100 は、図 45 のようなカラム冗長制御回路 $COL-RED-CTRL$ とロウ冗長制御回路 $ROW-RED-CTRL$ を同時に適用したものである。本実施例のデータ制御回路 100 は、図 18 に示した第 13 の実施例のものと類似の回路であるが、セクタ 65 からの出力がメモリ回路 30 の $RED-DI$ 端子に供給され、また、コンペアイネーブル信号 $CMPEN$ がロウ冗長アドレス端子 $RED-ROW-ADDR$ だけでなくカラム冗長アドレス端子 $RED-COL-ADDR$ にも供給される点で、第 13 の実施例のものと異なる。

【0329】そして、本実施例では、図 42 (c) に示した第 36 の実施例の比較手段 106 を第 37 の実施例 (図 43) のロウ冗長制御回路に適用したものである。

【0330】本実施例によると、4 ビット目の書込デ

タ入力端子 $DI<4>$ および読出データ用端子 $DO<4>$ に対応するデータ制御回路 100 は、カラム冗長制御回路 12 とロウ冗長制御回路 91 の両方のために兼用されている。これにより、回路規模が削減できる。

【0331】図 47 は図 46 に示した回路と同じ機能であるが、信号 $CHDIR$ で制御されるセクタ 65 の代わりに論理和 (OR) 回路 67 が用いられており、 $CHDIR = 「1」$ とすることによって第 2 のフリップフロップ 64 および第 1 のフリップフロップ 61 の両方が最初の故障を検出する。本実施例では、図 47 に比べて回路規模が小さくなる。

【0332】第 40 の実施例 図 48 は本発明の第 40 の実施例のメモリ回路のデータ制御回路 29, 100 を示す図である。なお、図 48 では図 46 に示した第 39 の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路 100 は、カラム冗長制御用データ制御回路 29 とロウ冗長制御用データ制御回路 100 の各々について、図 46 に示した第 39 の実施例と類似の回路を適用するものであるが、カラム冗長制御用データ制御回路 29 の排他的論理和回路 31 をロウ冗長制御用データ制御回路 100 の期待値比較手段の一部として流用し回路規模を削減したものである。

【0333】なお、図 48 中の符号 110 は、メモリ回路 30 の書込データ入力端子 $DI<1>\sim DI<4>$ の夫々に関する排他的論理和回路 31 に接続される素子であって、かかる素子として論理積 (AND) 回路を用いる場合は、第 34 の実施例 (図 42 (a)) の比較手段 106 が構成される。一方、素子 110 として論理和 (OR) 回路が使用される場合は、第 35 の実施例 (図 42 (b)) の比較手段 106 が構成される。

【0334】また、ロウ冗長制御用データ制御回路 100 において、カラム冗長制御用データ制御回路 29 のセクタ 57 に対応するセクタは省略されている。

【0335】第 41 の実施例 図 49 は本発明の第 41 の実施例のメモリ回路のデータ制御回路 29, 100 を示す図である。なお、図 49 では図 48 に示した第 40 の実施例と同様の機能を有する要素については同一符号を付している。本実施例の回路は、図 48 に示した第 40 の実施例と類似の回路であるが、カラム冗長制御用データ制御回路 29 の排他的論理和回路 31 をロウ冗長制御用データ制御回路 100 の期待値比較手段の一部に流用するとともに、カラム冗長制御用データ制御回路 29 の一個 (29X) をモード切替によってロウ冗長制御用データ制御回路 100 に流用するよう構成されている。このときのモード切替は、外部からの制御信号 $COL-ROW$ によりセクタ 111 を切り替えて行えばよい。

【0336】かかる構成により、図 48 の回路に比べて回路規模を削減することができる。

【0337】 第42の実施例

<構成>図50(a)は本発明の第42の実施例のアドレス指定回路を示す図である。本実施例のアドレス指定回路は、第30の実施例(図38)または第31の実施例(図39)で説明したロウ冗長機能付きメモリ回路のロウデコーダ(ROW-DEC)23に対してアドレス指定信号ROW-ADDRを与えるものである。すなわち、本実施例のアドレス指定回路は、メモリ回路30の複数(4本)の外部ワード線OWL1~OWL4に接続され、当該外部ワード線をOWL1からOWL4に向けて順次指定するものであって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路115と、全周期系列データ出力回路115からの出力情報に基づいて外部ワード線OWL1~OWL4を順次指定するデコーダ116と、を備える。

【0338】全周期系列データ出力回路115は、2ビットの直列シフトレジスタ(SR)であって、左シフトでシフトインするSIL端子と、右シフトでシフトインするSIR端子とを備えており、所定の乱数発生用論理回路群(図示せず)からのデータ「01100」が周期的にシフトインされる。これにより、全周期系列データ出力回路115は、左シフト時(SIR)には「00」~「10」~「11」~「01」の順に2ビットデータをデコーダ116に与え、右シフト時(SIL)には「01」~「11」~「10」~「00」の順に2ビットデータをデコーダ116に与える。

【0339】デコーダ116は、2ビット入力4ビット出力デコーダであって、全周期系列データ出力回路115からの2ビットデータを受けて、4本の外部ワード線OWL1~OWL4を順に指定するもので、図51の如く、全周期系列データ出力回路に接続される2ビット分の入力端子AX0, AX1と、外部ワード線OWL1~OWL4に接続される4ビット分の出力端子X0, X2, X3, X1と、入力端子AX0, AX1から与えられる2ビット値を出力端子X0, X2, X3, X1にかかる4ビット値に変換する論理回路部121と、論理回路部121からの4ビットの信号を出力端子X0, X2, X3, X1の順序に並び替えるビット順序変換配線122と、を備える。

【0340】論理回路部121は、4個のインバータ124a~124dおよび4個の論理積(AND)回路125a~125dから構成された一般的なものである。ここで、論理回路部121は、入力端子AX0, AX1に与えられる値について「00」~「01」~「10」~「11」の順にデータが入力されると、最も右側の第1の論理積回路125aから最も左側の第4の論理積回路125dに向けて順次値「1」を出力する。

【0341】ビット順序変換配線122は、論理回路部121の最も右側の第1の論理積回路125aから値

「1」を受けたとき(すなわち入力端子AX0, AX1に値「00」が与えられたとき)には最も左側の出力端子X0にデータを出力し、論理回路部121の右から2番目の第2の論理積回路125bから値「1」を受けたとき(すなわち入力端子AX0, AX1に値「01」が与えられたとき)には最も右側の出力端子X1にデータを出力し、論理回路部121の右から3番目の第3の論理積回路125cから値「1」を受けたとき(すなわち入力端子AX0, AX1に値「10」が与えられたとき)には右から3番目の出力端子X2にデータを出力し、論理回路部121の最も左の第4の論理積回路125dから値「1」を受けたとき(すなわち入力端子AX0, AX1に値「11」が与えられたとき)には右から2番目の出力端子X3にデータを出力する。

【0342】<動作>上記構成のアドレス指定回路の動作を説明する。外部ワード線OWL1~OWL4に対してインクリメントを行う、すなわち、OWL1~OWL2~OWL3~OWL4の順にアドレッシングを行う場合は、全周期系列データ出力回路115に対して「00110」をSIR端子から右シフトでシフトインする。このとき、全周期系列データ出力回路115からのアドレス(AX1, AX0)は「00」, 「10」, 「11」, 「01」の順に変化する。これを十進数で表すと0番地、2番地、3番地、1番地の順に変化したことになる。0番地指定時は第0の出力端子X0、2番地指定時は第2の出力端子X2、3番地指定時は第3の出力端子X3、1番地指定時は第1の出力端子X1がアクティブになる。

【0343】ここで、本実施例では、第1の外部ワード線OWL1を第0の出力端子X0に、第2の外部ワード線OWL2を第2の出力端子X2に、第3の外部ワード線OWL3を第3の出力端子X3に、第4の外部ワード線OWL4を第1の出力端子X1に夫々接続しているので、X0~X2~X3~X1の順番でアドレス指定を行っても、OWL1~OWL2~OWL3~OWL4の順に容易にインクリメントを行うことができる。したがって、冗長回路切替のためのRAMテスト時に全周期系列をアドレッシングに用いた効率の良いテストを適用できる。具体的には、テスト用信号の削減やテストパターンの削減の効果がある。

【0344】なお、外部ワード線に対してデクリメントを行う、すなわち、OWL4~OWL3~OWL2~OWL1の順にアドレッシングを行う場合は、全周期系列データ出力回路115に対するデータ「01100」をSIL端子から左シフトでシフトインする。このとき、全周期系列データ出力回路115から指定されるアドレス(AX1, AX0)は「01」, 「11」, 「10」, 「00」の順に変化する。これを十進数で表すと1番地、3番地、2番地、0番地の順に変化したことになる。これによりデクリメントアドレッシングが実現さ

れる。なお、デクリメントアドレッシングが不要な場合は双方向の直列シフトレジスタや双方向のスキャンパス回路を用いる必要はない。

【0345】 第43の実施例 図52は本発明の第43の実施例のアドレス指定回路を示す図である。本実施例のアドレス指定回路は、例えば第32の実施例(図40)で説明したようなロウ冗長機能付きメモリ回路に対応するものであって、デコーダ116として4入力16出力のものを用いるものである。

【0346】 ここで、ロウアドレスROW-ADDRは、上位アドレス(AX3, AX2)用と下位アドレス(AX1, AX0)用の2個の直列シフトレジスタ(全周期系列データ出力回路)115a(SR1), 115b(SR2)から供給される。この2個の直列シフトレジスタは独立にシフト動作を制御できるように構成する。なお、2個の直列シフトレジスタはスキャンパス回路であってもよい。

【0347】 上位アドレス(AX3, AX2)は複数(4個)のロウ冗長制御回路ROW-RED-CTRL-0~3のうちの1個を選択するために用いる。例えば、(AX3, AX2)が(0, 0)の時にROW-RED-CTRL-0が、(AX3, AX2)が(0, 1)の時にROW-RED-CTRL-1が、(AX3, AX2)が(1, 0)の時にROW-RED-CTRL-2が、(AX3, AX2)が(1, 1)の時にROW-RED-CTRL-3が夫々選択される。すなわち、本実施例では、上位アドレスによりロウ冗長制御回路ROW-RED-CTRL選択し、各ロウ冗長制御回路ROW-RED-CTRLを制御し冗長回路切替を行うことで、4個のワード線を持つRAMが4個集まったものと考えて、それぞれのRAMに対して冗長回路切替を行うような制御を行う。

【0348】 下位アドレス(AX1, AX0)は各ロウ冗長制御回路内の複数ある外部ワード線OWL1~OWL16の内の1個を選択するために用いる。

【0349】 全周期系列「00110」を第1のシフトレジスタ115a(SR1)のSIR端子から右シフトでシフトインする。このとき、アドレス(AX1, AX0)は「00」~「10」~「11」~「01」の順に変化する。

【0350】 同様に全周期系列「00110」を第2のシフトレジスタ115b(SR2)のSIR端子から右シフトでシフトインする。このとき、アドレス(AX3, AX2)は「00」~「10」~「11」~「01」の順に変化する。

【0351】 第1のシフトレジスタ115a(SR1)によるアドレスが一巡した後で、第2のシフトレジスタ115b(SR2)によるアドレスを更新するという動作を繰り返せば、アドレス(AX3, AX2, AX1, AX0)は次のように変化する。

【0352】 (0, 0, 0, 0) ~ (0, 0, 1, 0) ~ (0, 0, 1, 1) ~ (0, 0, 0, 1) ~ (1, 0, 0, 0) ~ (1, 0, 1, 0) ~ (1, 0, 1, 1) ~ (1, 0, 0, 1) ~ (1, 1, 0, 0) ~ (1, 1, 1, 0) ~ (1, 1, 1, 1) ~ (1, 1, 0, 1) ~ (0, 1, 0, 0) ~ (0, 1, 1, 0) ~ (0, 1, 1, 1) ~ (0, 1, 0, 1)

これを十進数で表すと0~2~3~1~8~10~11~9~12~14~15~13~4~6~7~5の順に変化することになる。この順番でデコーダの出力X0、X2、X3、X1、X8、X10、X11、X9、X12、X14、X15、X13、X4、X6、X7、X5を配置する。

【0353】 このように構成すれば、ロウ冗長回路切替のためのRAMテスト時に全周期系列をアドレッシングに用いた効率の良いテストを適用できる。具体的には、テスト用信号の削減やテストパターンの削減の効果がある。

【0354】 なお、逆順序でのアドレッシングを行う場合は全周期系列「00110」を逆の順序でSIL端子から左シフトインすればよい。

【0355】 なお、複数のロウ冗長制御回路ROW-RED-CTRLはどのような順序で配置してもよい。図52のように全周期系列によって発生される順に並べてもよいし、上位アドレスの昇順(ROW-RED-CTRL0~1~2~3)に並べてもよい。

【0356】 第44の実施例 図53は本発明の第44の実施例のアドレス指定回路を示す図である。なお、図53では図50(a)に示した第42の実施例と同様の機能を有する要素については同一符号を付している。本実施例のアドレス指定回路は、図7、図8、図9または図10に示したカラム冗長機能付メモリ回路に対応して使用されるものであって、第42の実施例(図50(a))で説明したものと同様、2入力4出力のデコーダ116(カラムデコーダ)が使用されている。そして、デコーダ116と外部ビット線OBL1~OBL4との間には、カラムセクタ117が接続されている。

【0357】 本実施例において、外部ビット線OBL1~OBL4に対してインクリメント、すなわちOBL1~OBL2~OBL3~OBL4の順にアドレッシングを行う場合は、全周期系列「00110」をSIR端子から右シフトでシフトインする。このとき、アドレス(AY1, AY0)は「00」~「10」~「11」~「01」の順に変化する。これを十進数で表すと0番地、2番地、3番地、1番地の順に変化したことになる。そして、カラムセクタ117によって、0番地指定時はY0、2番地指定時はY2、3番地指定時はY3、1番地指定時はY1がアクティブになる。Y0によりOBL1、Y2によりOBL2、Y3によりOBL3、Y1によりOBL1~OBL4が選択される。

【0358】このように構成すれば、冗長回路切替のためのRAMテスト時に全周期系列をアドレッシングに用いた効率の良いテストを適用できる。

【0359】具体的には、テスト用信号の削減やテストパターン削減の効果がある。

【0360】なお、外部ビット線OBL1～OBL4に対してデクリメント、すなわち、OBL4～OBL3～OBL2～OBL1の順にアドレッシングを行う場合は、全周期系列「01100」をSIL端子から左シフトでシフトインする。このとき、アドレス（AY1，AY0）は「01」，「11」，「10」，「00」の順に変化する。これを十進数で表すと1番地、3番地、2番地、0番地の順に変化したことになる。これによりデクリメントアドレッシングが実現される。なお、デクリメントアドレッシングが不要な場合は双方向の直列シフトレジスタや双方向のスキャンバス回路を用いる必要はない。

【0361】変形例

(1) 第1の実施例、第2の実施例、第3の実施例、第4の実施例、第20の実施例、第26の実施例、第27の実施例、第28の実施例および第29の実施例において、制御メモリセルC11～C14としてリセット機能付きのものを使用していたが、これに代えて、リセット機能なしのものを使用してもよい。この場合、ワード線RWL1をアクティブにした時に外部ビット線OBL1～OBL4から全制御メモリセルC11～C14に「0」を書き込むことによってリセット動作を行う。リセット後は、全てのセレクトが入力「0」側に切り替わるので、第1の外部ビット線OBL1と第1の内部ビット線BL1、第2の外部ビット線OBL2と第2の内部ビット線BL2、第3の外部ビット線OBL3と第3の内部ビット線BL3、第4の外部ビット線OBL4と第4の内部ビット線BL4が夫々対応する。

【0362】また、第2の実施例および第3の実施例等において、必ずしも明確なリセット機能を持たない制御メモリセルを用いても良い。例えば、電源投入時に制御メモリセルC11～C14が全て「0」にリセットされるようにメモリセル自身を設計しておいてもよい。例えば、制御メモリセル群17の各制御メモリセルC11～C14を、例えばトランジスタのサイズを変えることによってデータの「0」、「1」に対して非対称になるように設計すれば、電源投入時に制御メモリセルC11～C14を全て「0」にリセットできる。

【0363】また、制御メモリセルC11～C14を光（紫外線）照射消去可能なプログラマブルROM（UVEPROM）用のメモリセルで構成してもよい。この場合は、光照射によりリセット動作が可能である。

【0364】さらに、第3の実施例において、制御メモリセルC11～C14としてリセット機能のないものを使用する場合、各制御メモリセルC11～C14のリセ

ットを行いたいときには、冗長イネーブル信号線RED-ENを「0」に設定し、セレクト群16のセレクトSEL1～SEL4を「0」側に切り替えるとともに、ワード線RWL1をアクティブにし、外部ビット線OBL1～OBL4から制御メモリセルC11～C14に「0」を書き込むことによってリセット動作を行うことができる。

【0365】また、第4の実施例において、リセット機能のないものを使用する場合、ワード線RWL1，RWL2をアクティブにした時に外部ビット線OBL1～OBL4から制御メモリセルC11～C14，C21～C24に「0」を書き込むことによってリセット動作を行えばよい。

【0366】(2) 各実施例で説明したような制御データ発生回路を設けない場合でも、制御データの書き込み手段さえあればカラム冗長制御回路やロウ冗長制御回路を用いて冗長回路切替を行うことができる。

【0367】例えば、スキャンバス方式のテスト回路を図45のRAMに適用すれば、メモリセルアレイ11のテストを行うことができる。このテスト結果をもとにスキャンバスを用いて冗長回路切替用の制御データをカラム冗長制御回路やロウ冗長制御回路に書き込むことができる。この場合、RAMのテストや制御データの書き込みのためのスキャンバスの動作が複雑になる。したがって、マイクロコントローラやマイクロコンピュータなどによって、このテストや冗長回路切替を制御すればよい。マイクロコントローラやマイクロコンピュータにより制御すればより高度なテストアルゴリズムをRAMテストに適用でき故障の検出率を高めることができ、より適切な冗長回路切替が行える。

【0368】なお、本発明による制御データ発生機能付きスキャンレジスタ（図12、15、20、21、22、23、24、25、28、29、31）を用いたスキャンバス方式のテスト回路をマイクロコントローラやマイクロコンピュータで制御してもよい。

【0369】また、スキャンバスにより制御メモリセルC11～C14、R内の制御データを読み出しこの情報を圧縮して、マイクロコントローラやマイクロコンピュータ内のプログラマブルROM内に格納することもできる。電源投入時にこのROMのデータに応じてスキャンバスを制御して再び制御メモリセルC11～C14、Rに書き込めば、電源投入時に再テストすることなく冗長回路切替が行える。

【0370】(3) 図7に示した第4の実施例では、2本のワード線RWL1，RWL2を示しているが、例えば図1、図2および図3のように冗長度が1のカラム冗長制御回路12を用いる場合は、1本のワード線RWL1のみ設ければよい。

【0371】(4) 図7に示した第4の実施例では、冗長イネーブル信号線RED-ENを示しているが、例

例えば図1、図2、図4の回路のように、カラム冗長制御回路12の種類によってはこの信号は存在しない。

【0372】(5) 図7に示した第4の実施例では、リセット信号線RED-RESETを示しているが、例えば、図1や図3、図4の回路でリセット機能なしの制御メモリセルを用いる場合のように、カラム冗長制御回路12の種類によってはこの信号は存在しない。

【0373】(6) 図11に示した第8の実施例において、内部ビット線BL1~BL4の断線故障を検出して冗長回路切替を行うのであれば、内部ビット線BL1~BL4関連の全てのメモリセルM11~M15, M21~M25, M31~M35, ...をテストする必要はない。例えば、図1中の第1の内部ビット線BL1に対してはM31のみのテストでよく、一般に、各セクタSEL1~SEL4から最も遠いメモリセルM31~M35のみをテストすればよい。

【0374】(7) 図14に示した第10の実施例および図15に示した第11の実施例では、シリアルシフト動作により「0」をシフトインしてリセット動作を行うことができるので、リセット信号FF-RESETおよびこの信号が入力される論理積回路41を削除してもよい。このように論理積回路41を削除する場合、非同期リセット機能付きまたは同期リセット付きのいずれのフリップフロップ46, 61を用いてもよい。

【0375】また、第11の実施例において、読出データ出力端子XDO<i>からのデータ出力用第1のフリップフロップ61が不要な場合は、前段の2個のセクタ51a, 51bを削除することができる。

【0376】(8) 第34の実施例乃至第36の実施例の改良案として、図42(d)のように、図42(a), (b), (c)の機能を全て備え付け、さらにこれらの機能を選択するセクタ109を付加してもよい。

【0377】(9) 第40の実施例では、図48中の素子110として第34の実施例(図42(a))または第35の実施例(図42(b))の比較手段106を用いるものとして説明したが、図42(d)の比較手段106を使用するものであってもよい。

【0378】(10) 図50(a)に示した第42の実施例では、4本の外部ワード線OWL1~OWL4を有するメモリ回路に対応して、2ビット入力4ビット出力のデコーダ116を用いた例を説明したが、これに限るものではなく、例えば、図50(b)のように、16本の外部ワード線OWL1~OWL16を有するメモリ回路に対応して、4入力16出力のデコーダ116を用いてもよい。例えば、全周期系列として「0001001101011110000」を用いる。

【0379】この全周期系列を4ビットのシフトレジスタにシフトインすることによって発生するアドレスは、「0000」~「1000」~「1100」~「111

0」~「1111」~「0111」~「1011」~「0101」~「1010」~「1101」~「0110」~「0011」~「1001」~「0100」~「0010」~「0001」の順に変化するが、この順番に対応してデコーダ116の出力端子を左からX0, X8, X12, X14, X15, X7, X11, X5, X10, X13, X6, X3, X9, X4, X2, X1の順に配置し、外部ワード線OWL1~OWL16に順番に接続しているので、インクリメント動作およびデクリメント動作を容易に行うことができる。

【0380】

【発明の効果】本発明請求項1によると、第1の従来例および第2の従来例のようにフューズをレーザ光線によって切断しなくても、制御メモリセル群の各制御メモリセル内に格納した値によってセクタ群の各セクタを切り替えることで、適切な冗長回路の切り替えを行うことができる。したがって、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【0381】本発明請求項2によると、制御メモリセル群の制御メモリセルヘデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えることができる。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【0382】本発明請求項3によると、制御メモリセル群の各制御メモリセルをメモリセルアレイの内部接続線に夫々接続することで、制御メモリセル群とメモリセルアレイとを隣接させて同一規格で同時に形成することができ、例えばメモリセルアレイの余剰列部分を制御メモリセル群として使用することができる。

【0383】この場合において、制御メモリセルの値によっては、セクタの切り替えによって外部接続線と制御メモリセルとが非接続状態になることがあり、このままの状態では、例えばメモリセルアレイの故障を修理した後であっても、永遠に外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことができなくなってしまう、セクタの切り替えが不可能になるおそれがある。しかしながら、請求項3によると、スイッチ素子によって制御メモリセル群による制御の許否を切り替え、セクタを切り替えることで、外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことができる。

【0384】本発明請求項4によると、制御メモリセル群の制御メモリセルによって、各外部接続線ごとに3値のデータのうちの1値を選択的にセクタ群の各セクタへ出力し、これにしたがって、セクタ群の各セクタは、連続して隣合った3個の内部接続線を夫々選択的に切り替えることができる。そうすると、内部接続線の

故障を最大 2 本まで救済できる。しかも、請求項 1 と同様、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【0385】本発明請求項 5 によると、請求項 4 のような 2 ビット救済の冗長機能を有する場合に、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えることができる。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【0386】本発明請求項 6 によると、制御メモリセルのセット動作またはリセット動作を、アドレス指定用のデコーダの余剰端子を利用して行うことができ、専用の制御回路によってセット動作またはリセット動作を行う場合に比べて、回路効率を高めることができる。

【0387】本発明請求項 7 によると、制御メモリセルのセット動作またはリセット動作を、専用デコーダを用いて行うことができ、当該専用デコーダに与える信号の管理等、制御が容易になる。

【0388】本発明請求項 8 によると、メモリセルアレイの少なくとも 1 の出力ポートにおける読出データが所定の期待値に対して不一致である場合、期待値比較手段によってその旨を判断し、その結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生させることができる。このように、故障データを自動的に検出して、メモリ回路の制御を行うことができ、効率的な冗長切替を行うことができる。

【0389】本発明請求項 9 によると、メモリセルアレイのメモリセルへの書込データと、制御メモリセル群の制御メモリセルへの制御用の値とを、第 1 の選択手段を切り替えることで容易に選択して外部接続線へ与えることができ、制御メモリセル群に対する専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【0390】本発明請求項 10 によると、第 1 の選択手段で選択された一方の情報を、レジスタによって保持することで、データの取扱いが便利になる。

【0391】本発明請求項 11 によると、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第 1 の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力させることができる。これにより、スキャンデータの効率良い供給を行うことができる。

【0392】本発明請求項 12 によると、第 2 の選択手段によって、テスト時の書込データと、期待値比較手段からの出力情報とを適宜選択して外部接続線へ出力させ

ることができる。これにより、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0393】本発明請求項 13 によると、期待値比較手段で発生された制御用の値と、メモリセルアレイのメモリセルからの読出データとの少なくとも 2 種類の情報を、第 1 の選択手段によって選択してレジスタに格納し、第 2 の選択手段によって、レジスタからの出力情報と、メモリセルアレイのメモリセルへ書き込むための外部からの書込データとの少なくとも 2 種類の情報を選択し、外部接続線へ出力させることができる。これにより、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0394】本発明請求項 14 によると、第 1 の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイのメモリセルからの読出データと、当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも 3 種類の情報を選択して外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0395】本発明請求項 15 によると、第 1 の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイからの読出データとの少なくとも 2 種類の情報を選択し、第 2 の選択手段によって、第 1 の選択手段およびレジスタからの出力情報とメモリセルアレイへ書き込むための書込データとを選択させることができる。すなわち、1 個のデータ制御回路で、書込データおよび読出データの両方を取り扱うことができ、夫々専用の回路を用いる場合に比べて回路効率を高め得る。この場合、特に、読出データに故障があるときには、第 1 の選択手段および第 2 の選択手段の切り替えによって、期待値比較手段で発生された制御用の値をメモリ回路の制御メモリセル群に与えることができるため、容易に冗長制御を行うことができる。

【0396】本発明請求項 16 によると、第 2 の選択手段によって、メモリセルアレイのメモリセルへ書き込むための外部からの書込データと、レジスタからの出力情報と、外部からのテストデータとの少なくとも 3 種類の情報を選択し、外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0397】本発明請求項 17 によると、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第 2 の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力させることができる。これにより、スキャンデータの効率良い供給を行う

ことができる。また、当該スキャンデータと、当該データ制御回路内の第1の選択手段およびレジスタからの出力情報と、メモリセルアレイのメモリセルへ書き込むための外部からの書込データとを適宜選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0398】本発明請求項18によると、期待値比較手段によって、メモリセルアレイの少なくとも1の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生させることができる。そして、かかる制御用の値に基づいて、制御データ発生手段は、請求項5記載の2ビット冗長機能を有するメモリ回路を適切に制御することができる。すなわち、メモリセルアレイのメモリセルからの読出データが所定の期待値に対して同一であるとの結果が得られたときに、期待値比較手段によって、制御メモリセル群の制御メモリセルに対して3値のデータのうちの第1の値を出力させることができる。また、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が最初に得られたときに、期待値比較手段によって、制御メモリセル群の制御メモリセルに対して3値のデータのうちの第2の値を出力させることができる。そして、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が2回目に得られたときに、期待値比較手段によって、制御メモリセル群の制御メモリセルに対して3値のデータのうちの第3の値を出力させることができる。これによって、2ビットの故障を容易に救済できる。

【0399】本発明請求項19によると、1回目の故障検出時には、第1のレジスタに制御用の値を格納し、ここからメモリ回路の制御メモリセル群にデータを与えることができる。また、2回目の故障検出時には、第1のレジスタが既に不一致である旨の値を示しており、且つ、期待値比較手段からの出力情報が不一致である旨の値を示していることを不一致値出力手段によって検出し、ここからの出力情報を第2のレジスタに格納した後、メモリ回路の制御メモリセル群に与えることができる。これにより、メモリ回路の2ビットの故障を容易に救済できる。

【0400】本発明請求項20によると、選択手段によって、外部から与えられまたは内部で発生されたテストデータと、制御データ発生手段からの出力情報との少なくとも2種類の情報を選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【0401】本発明請求項21によると、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生した場合には、メモリセルアレイの行方向および列方向のうち一方の内部接続線のすべてに故障データが検出されるため、期待値比較手段からの出力情報とメモリ回路からの各読出データとを比較し、その結果、全てのデータが異なっていると認められたときに、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生したものと判断し、以後、他方の内部接続線について適切な切替制御を容易に行うことができる。

【0402】本発明請求項22によると、第1の制御部と第2の制御部とで期待値比較手段を共用しているの
10 で、回路規模を縮小できる。

【0403】本発明請求項23によると、全周期系列データ出力回路によって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力し、デコーダの論理回路部において、入力端子の入力ビット数の値を出力端子に対応する出力ビット数の信号に変換した後、ビット順序変換配線によって出力端子の順序に並び替えることができる。これによって、全周期系列データ出力回路から出力される全周期系列データが乱数であるにもかかわらず、その順序に従って、一端から他端の出力端子の方向へ順番に出力することができる。したがって、テスト時等において容易にデータのインクリメントまたはデクリメントを行うことができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例のメモリ回路を示す回路図である。

【図2】 本発明の第2の実施例のメモリ回路を示す回路図である。

【図3】 本発明の第3の実施例のメモリ回路を示す回路図である。

【図4】 本発明の第4の実施例のメモリ回路を示す回路図である。

【図5】 本発明の第4の実施例のメモリ回路におけるメモリセルアレイの内部構成を示す回路図である。

【図6】 本発明の第4の実施例のメモリ回路における冗長制御回路を示す回路図である。

【図7】 本発明の第4の実施例のメモリ回路の全体構成を示す回路図である。

【図8】 本発明の第5の実施例のメモリ回路の全体構成を示す回路図である。

【図9】 本発明の第6の実施例のメモリ回路の全体構成を示す回路図である。

【図10】 本発明の第7の実施例のメモリ回路の全体構成を示す回路図である。

【図11】 本発明の第8の実施例のデータ制御回路を示す回路図である。

【図 12】 本発明の第 9 の実施例のデータ制御回路を示す回路図である。

【図 13】 本発明の第 9 の実施例のデータ制御回路がスキャンパスを形成している状態を示す回路図である。

【図 14】 本発明の第 10 の実施例のデータ制御回路を示す回路図である。

【図 15】 本発明の第 11 の実施例のデータ制御回路を示す回路図である。

【図 16】 本発明の第 11 の実施例のデータ制御回路がスキャンパスを形成している状態を示す回路図である。

【図 17】 本発明の第 12 の実施例のメモリ回路の全体構成を示す回路図である。

【図 18】 本発明の第 13 の実施例のデータ制御回路を示す回路図である。

【図 19】 本発明の第 14 の実施例のデータ制御回路を示す回路図である。

【図 20】 本発明の第 15 の実施例のデータ制御回路を示す回路図である。

【図 21】 本発明の第 15 の実施例のデータ制御回路を示す回路図である。

【図 22】 本発明の第 16 の実施例のデータ制御回路を示す回路図である。

【図 23】 本発明の第 17 の実施例のデータ制御回路を示す回路図である。

【図 24】 本発明の第 18 の実施例のデータ制御回路を示す回路図である。

【図 25】 本発明の第 19 の実施例のデータ制御回路を示す回路図である。

【図 26】 本発明の第 20 の実施例のメモリ回路を示す回路図である。

【図 27】 本発明の第 20 の実施例のメモリ回路における冗長制御回路を示す回路図である。

【図 28】 本発明の第 21 の実施例のデータ制御回路を示す回路図である。

【図 29】 本発明の第 22 の実施例のデータ制御回路を示す回路図である。

【図 30】 本発明の第 22 の実施例のデータ制御回路がスキャンパスを形成している状態を示す回路図である。

【図 31】 本発明の第 23 の実施例のデータ制御回路を示す回路図である。

【図 32】 本発明の第 24 の実施例および第 25 の実施例のメモリ回路のスキャンパスとしてのデータ制御回路を示す回路図である。

【図 33】 本発明の第 26 の実施例のメモリ回路を示す回路図である。

【図 34】 本発明の第 27 の実施例のメモリ回路を示す回路図である。

【図 35】 本発明の第 28 の実施例のメモリ回路を示す回路図である。

す回路図である。

【図 36】 本発明の第 29 の実施例のメモリ回路を示す回路図である。

【図 37】 本発明の第 30 の実施例のメモリ回路における冗長制御回路を示す回路図である。

【図 38】 本発明の第 30 の実施例のメモリ回路の全体構成を示す回路図である。

【図 39】 本発明の第 31 の実施例のメモリ回路の全体構成を示す回路図である。

【図 40】 本発明の第 32 の実施例のメモリ回路の全体構成を示す回路図である。

【図 41】 本発明の第 33 の実施例のデータ制御回路を示す回路図である。

【図 42】 本発明の第 34 の実施例、第 35 の実施例および第 36 の実施例のデータ制御回路における期待値比較手段を示す回路図である。

【図 43】 本発明の第 37 の実施例のデータ制御回路を示す回路図である。

【図 44】 本発明の第 38 の実施例のデータ制御回路を示す回路図である。

【図 45】 本発明の第 38 の実施例のメモリ回路の全体構成を示す回路図である。

【図 46】 本発明の第 39 の実施例のデータ制御回路を示す回路図である。

【図 47】 本発明の第 39 の実施例のデータ制御回路を示す回路図である。

【図 48】 本発明の第 40 の実施例のデータ制御回路を示す回路図である。

【図 49】 本発明の第 41 の実施例のデータ制御回路を示す回路図である。

【図 50】 本発明の第 42 の実施例のアドレス指定回路を示す回路図である。

【図 51】 本発明の第 43 の実施例のアドレス指定回路のデコーダの内部構成を示す回路図である。

【図 52】 本発明の第 43 の実施例のアドレス指定回路を示す回路図である。

【図 53】 本発明の第 44 の実施例のアドレス指定回路を示す回路図である。

【図 54】 第 1 の従来例のメモリ回路を示す回路図である。

【図 55】 第 2 の従来例のメモリ回路を示す回路図である。

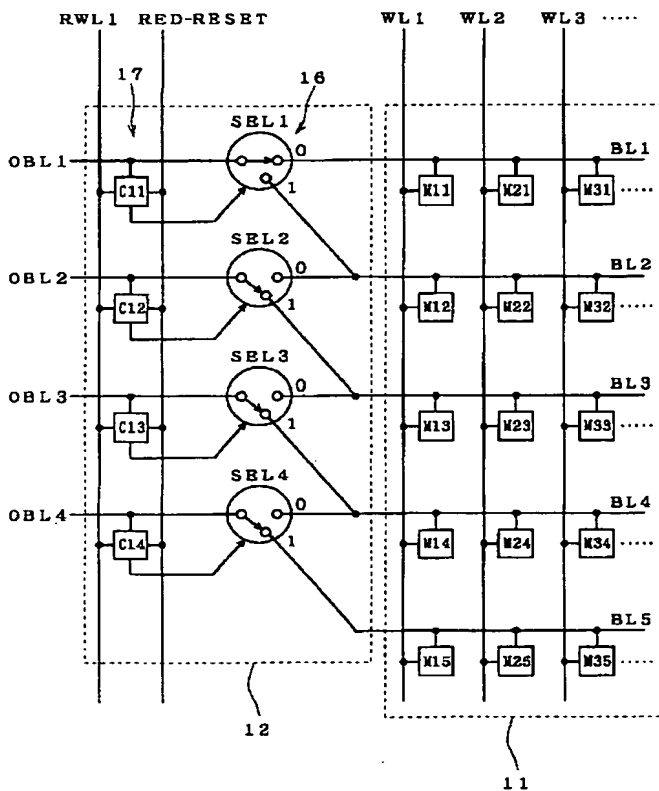
【符号の説明】

11 メモリセルアレイ、12 カラム冗長制御回路、16 セレクタ群、17 制御メモリセル群、18a～18d 論理積回路、22 カラムセレクタ、23 ロウデコーダ、29、100 データ制御回路、30 メモリ回路、33 フリップフロップ、34 セレクタ、42 第 1 の選択手段、42a、42b、42c セレクタ、43 フリップフロップ、44 第 2 の選択手段、

75

46, 61 フリップフロップ、46a 第1のフリップフロップ、46b 第2のフリップフロップ、47 セレクタ、51 第1の選択手段、51a, 51b セレクタ、52 第2の選択手段、52a~52c セレクタ、54 ロウデコーダ、56 制御データ発生手段、57 セレクタ、61 第1のフリップフロップ、61A, 61B フリップフロップ、64 第2のフリップフロップ、65 セレクタ、69 選択手段、69a, 69b セレクタ、71 選択手段、71A, 71B 選択手段、71a~71f セレクタ、72 セレクタ、74 セレクタ、78 排他的論理和回路、79A, 79B 読出データ対応回路、87 インバータ、

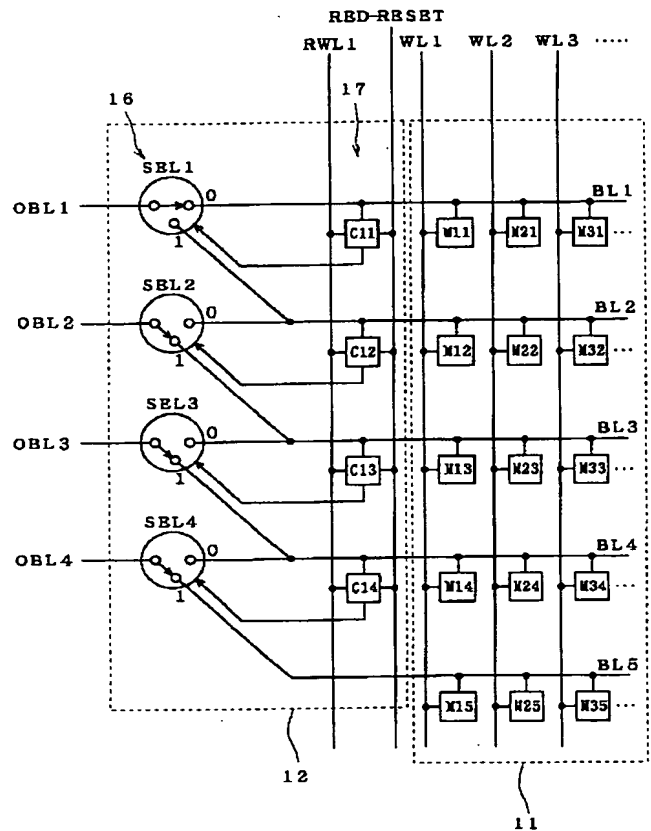
【図1】



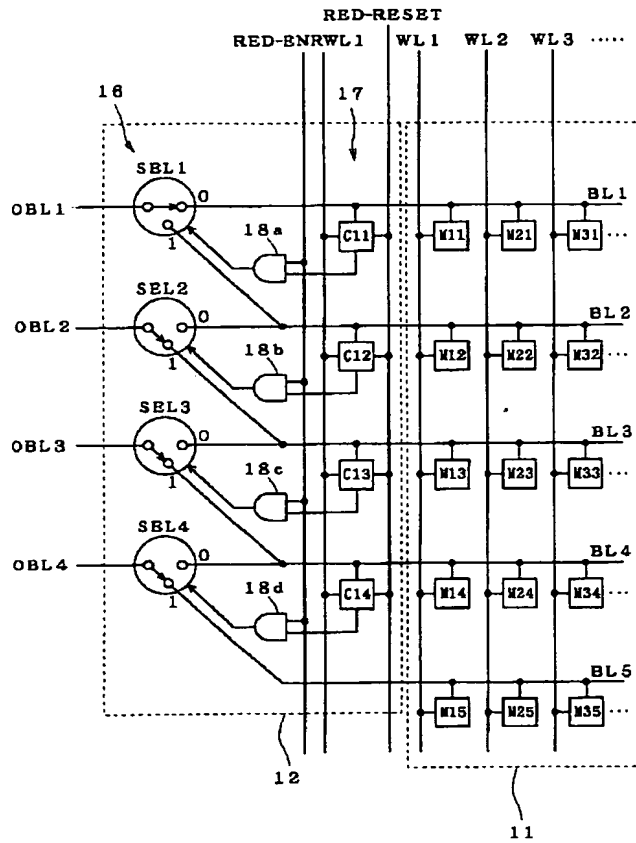
76

91 ロウ冗長制御回路、95 ワード線レベル固定回路、96 インバータ回路、98 カラムセレクタ、100 データ制御回路、105, 106 比較手段、109 セレクタ、110 素子、111 セレクタ、115 全周期系列データ出力回路、115a, 115b シフトレジスタ、116 デコーダ、117 カラムセレクタ、121 論理回路部、122 ビット順序変換配線、OBL1~OBL4 外部ビット線、BL1~BL4 内部ビット線、OWL1~OWL4 外部ワード線、WL1~WL4 内部ワード線、SEL1~SEL4 セレクタ、C11~C14 制御メモリセル。

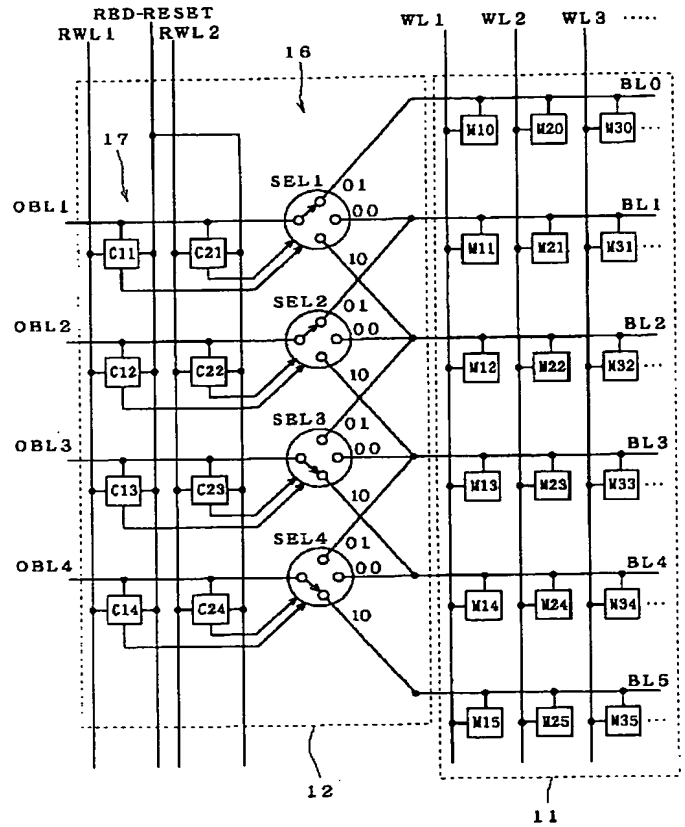
【図2】



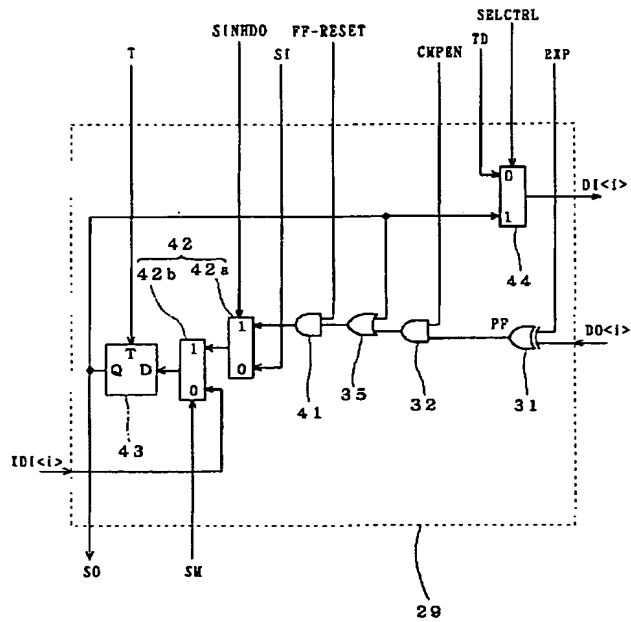
【図3】



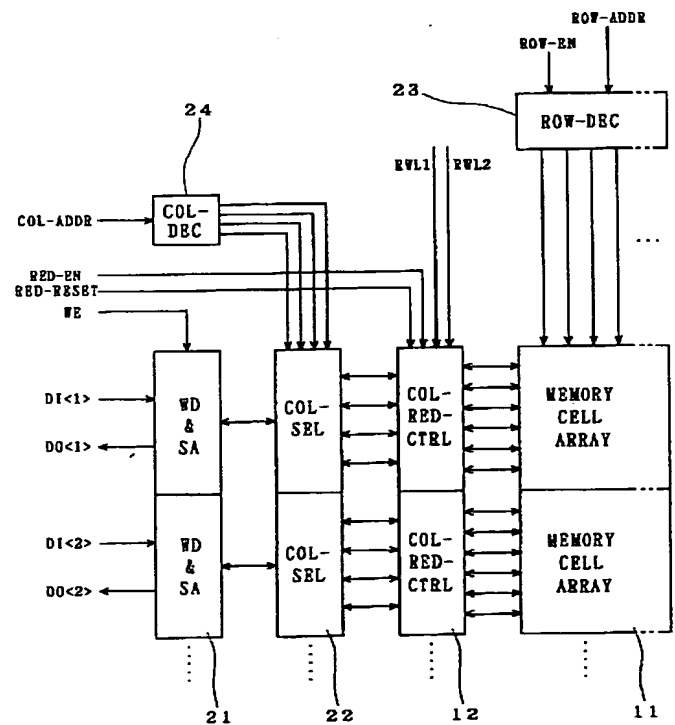
【図4】



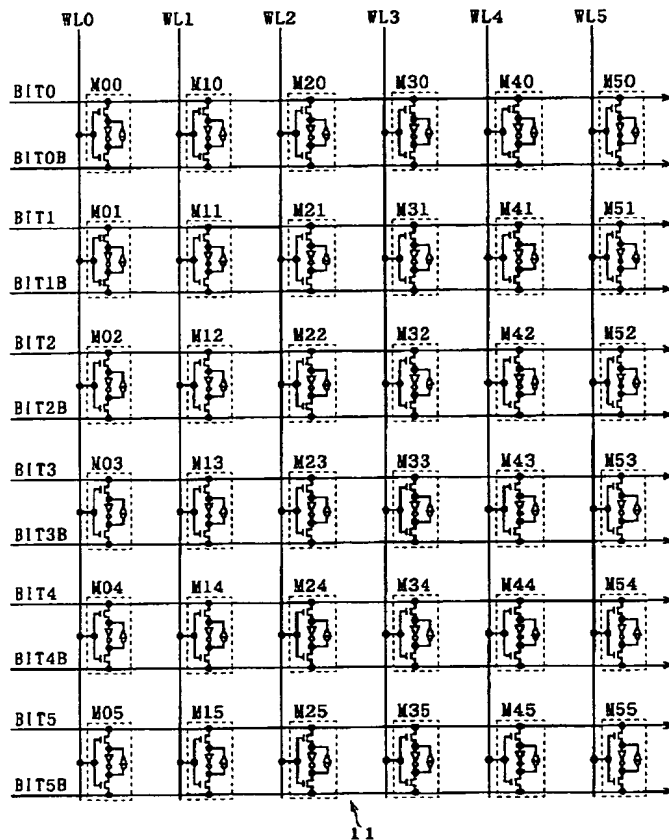
【図12】



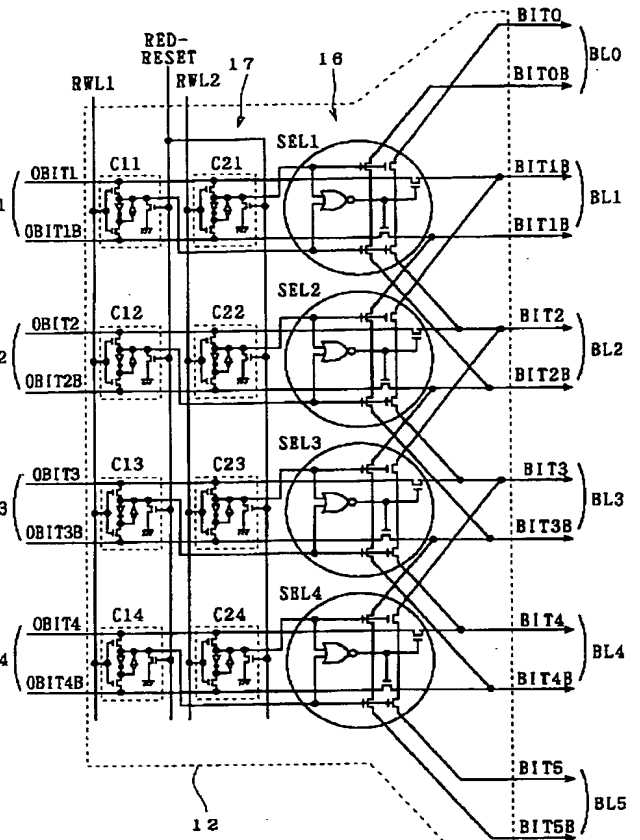
【図7】



【図5】

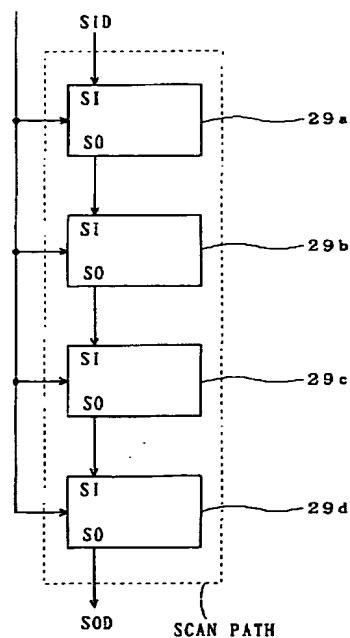


【図6】

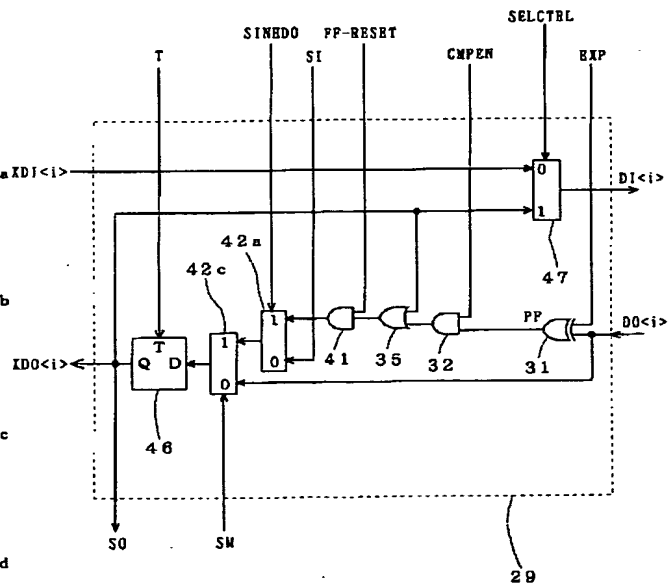


【図13】

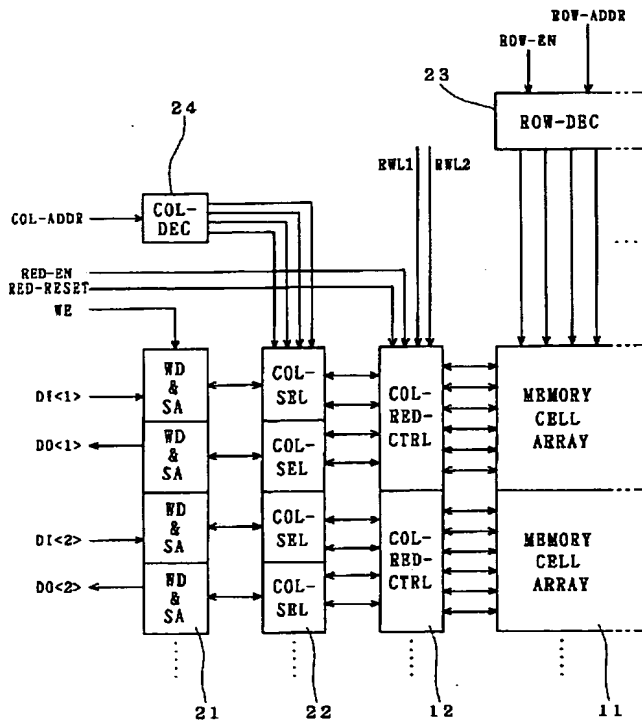
T, SINHD0, SW, CMPEN, TD,
SELCTRL, EXP, FF-RESET



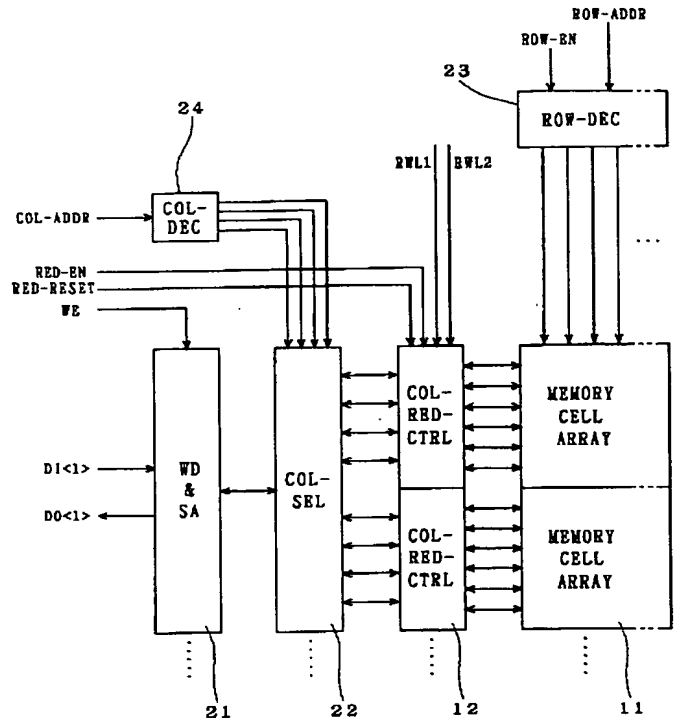
【図14】



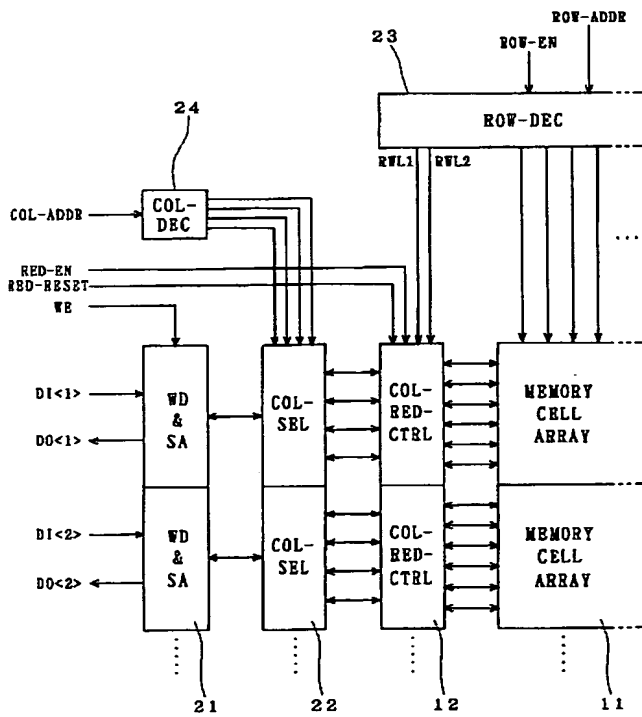
【図8】



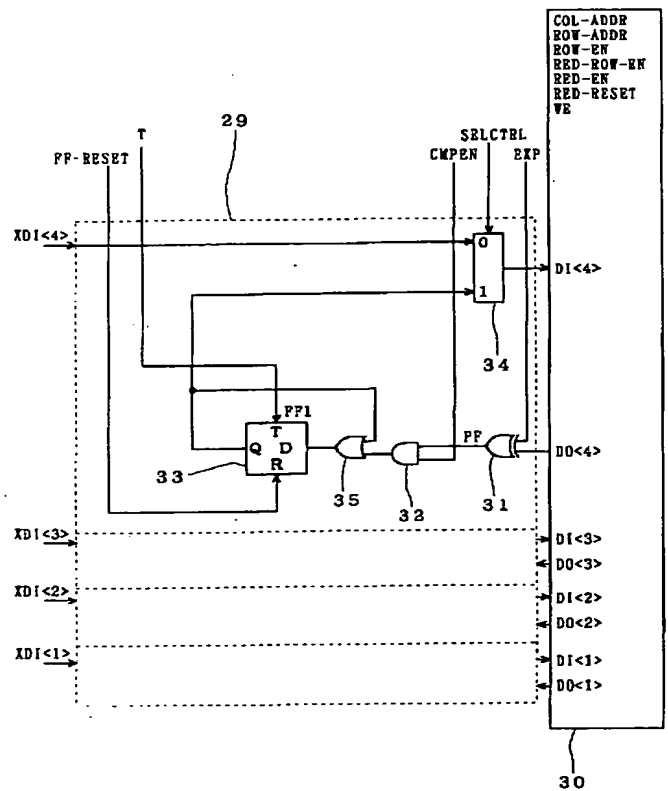
【図9】



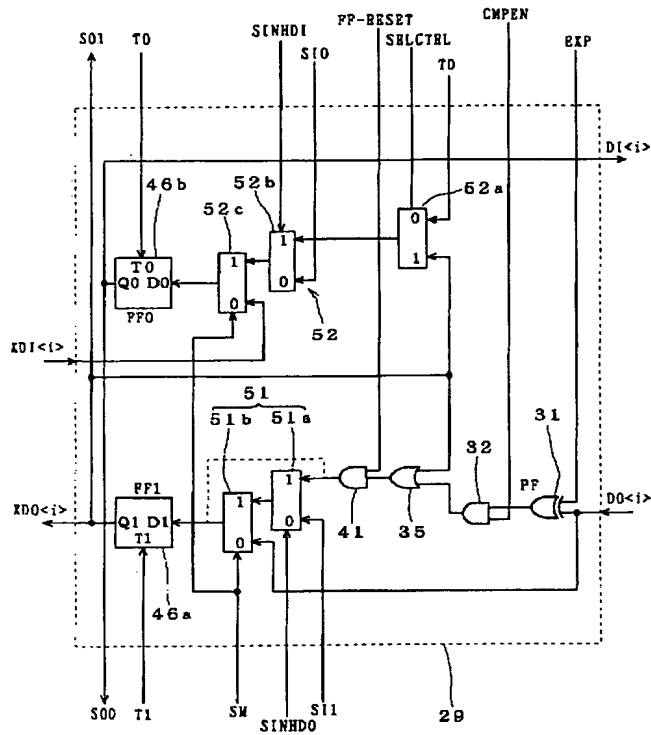
【図10】



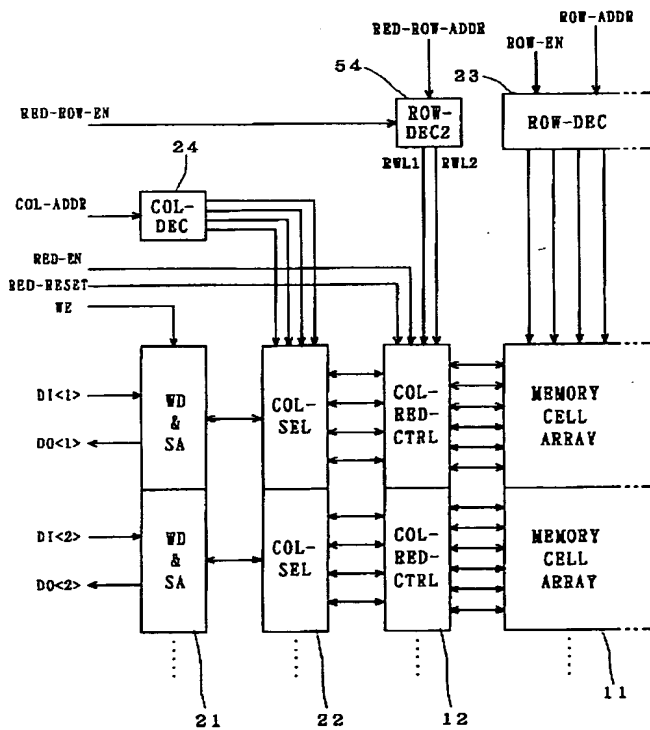
【図11】



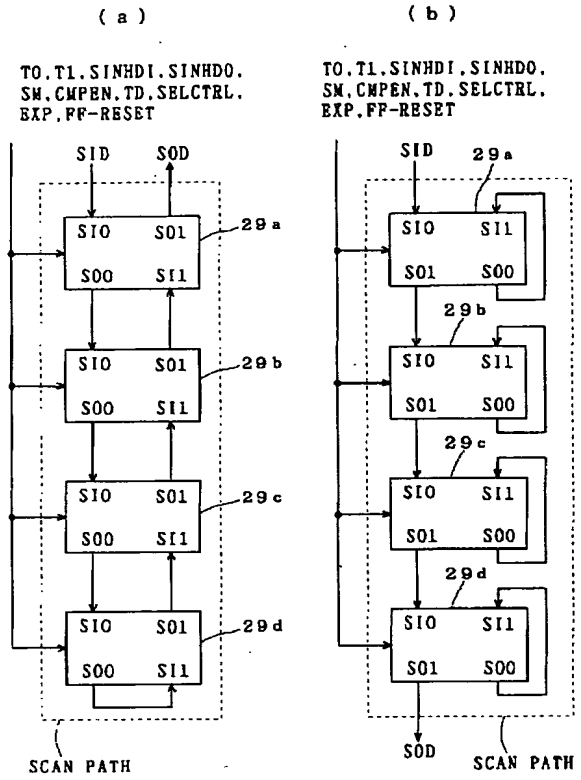
【図 15】



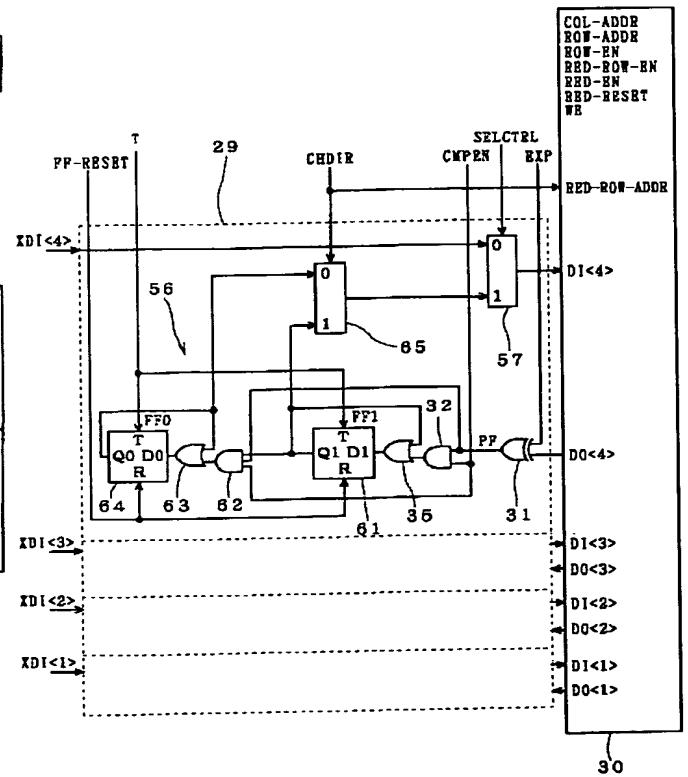
【図 17】



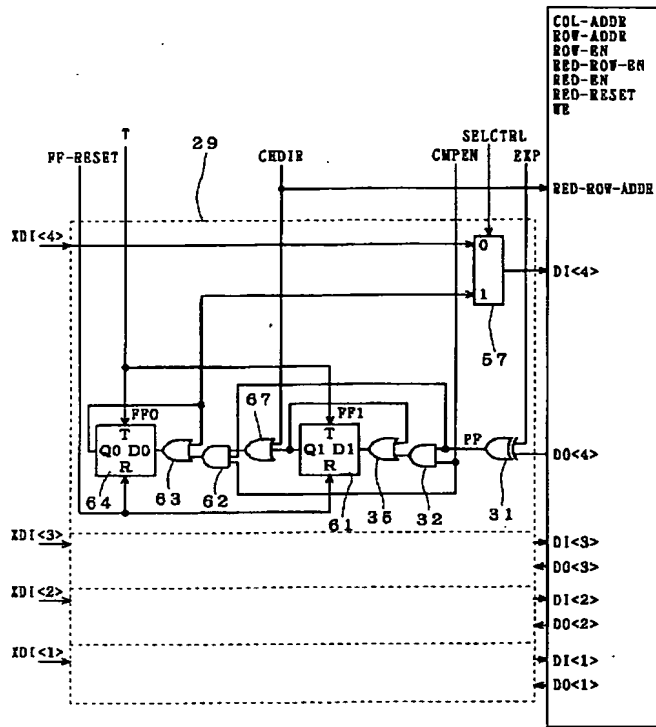
【図 16】



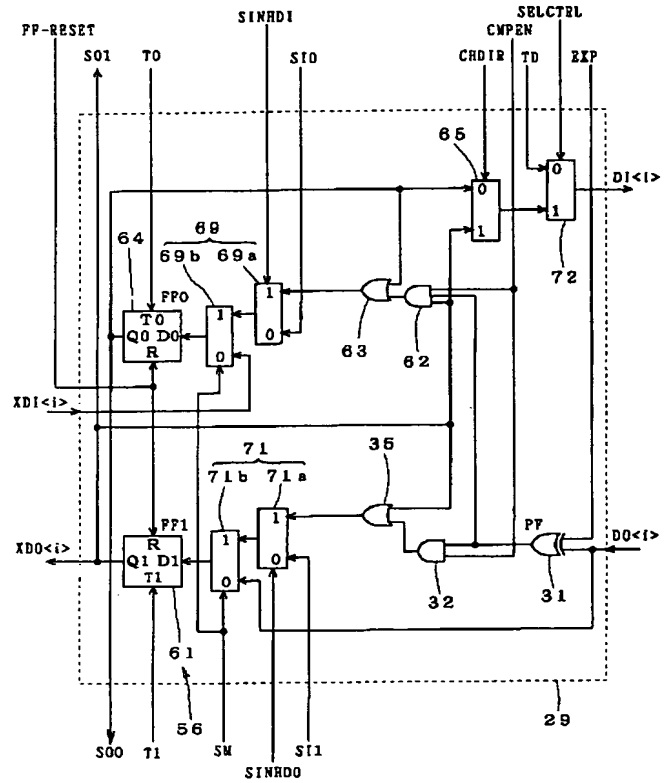
【図 18】



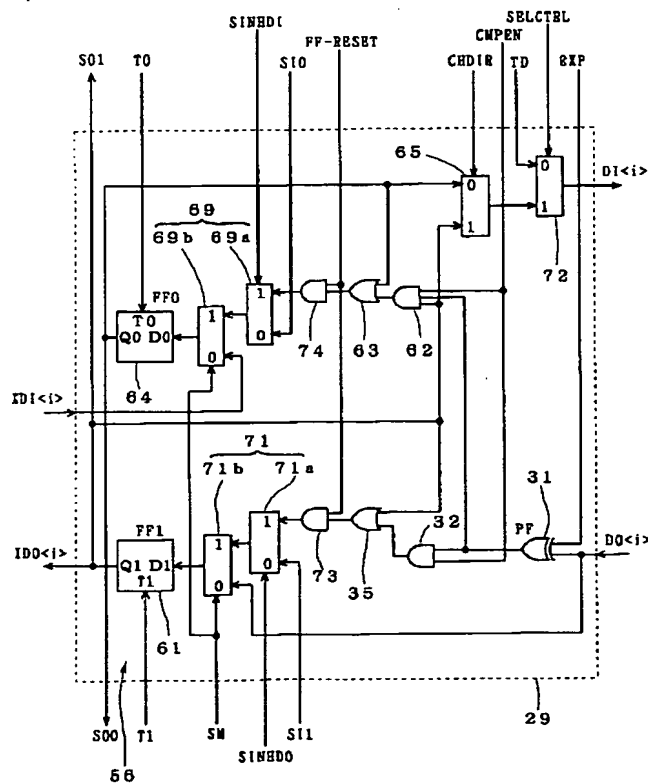
【図 19】



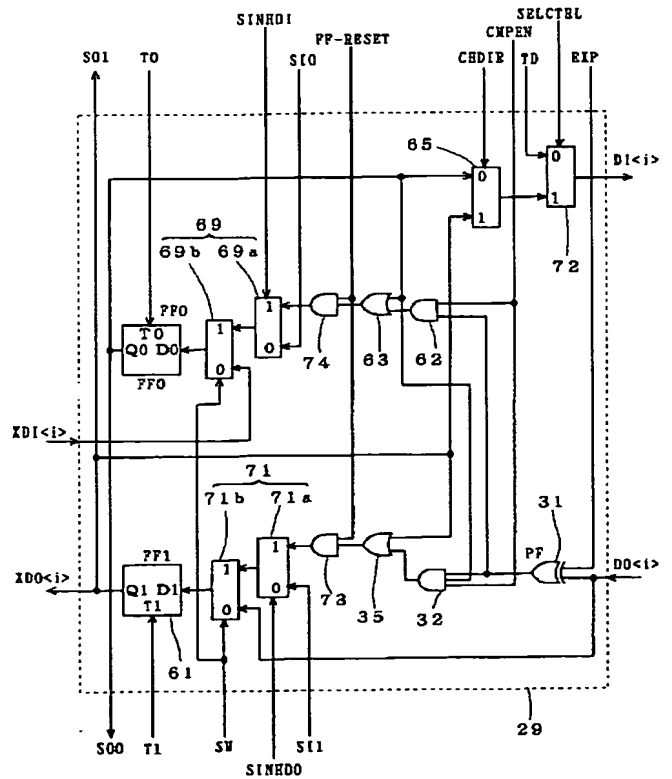
【図 20】



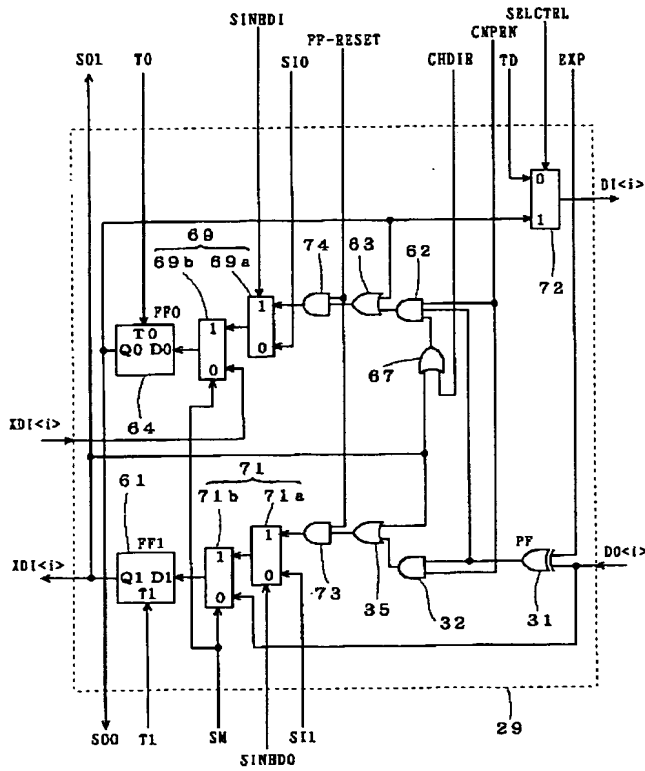
【図 21】



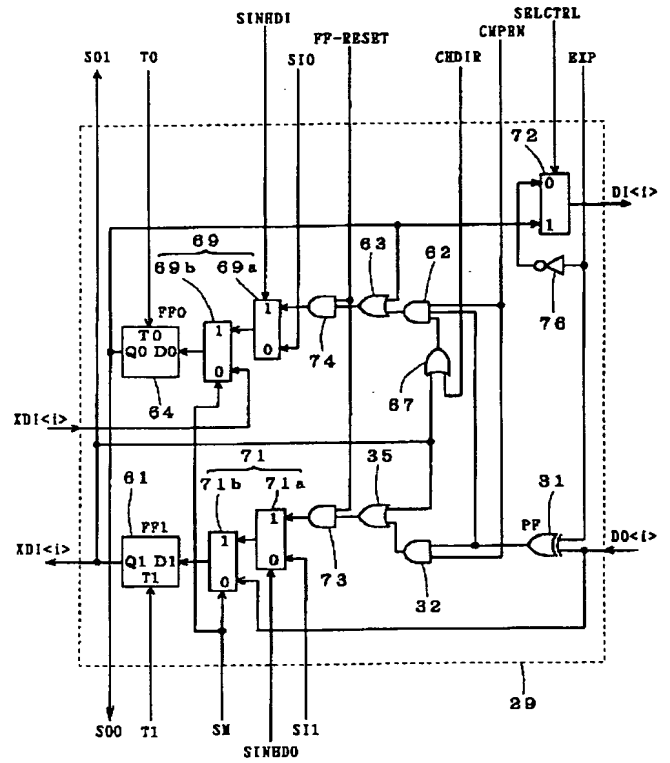
【図 22】



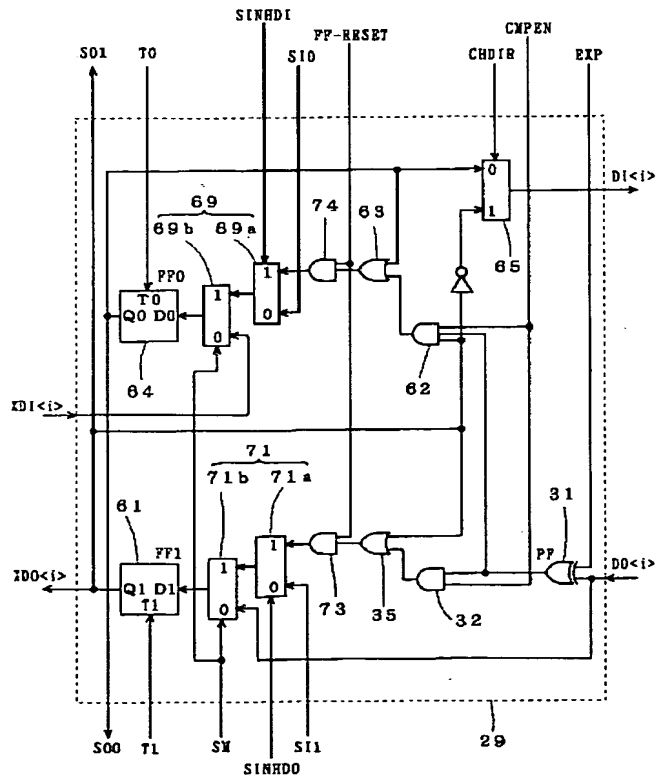
【図 23】



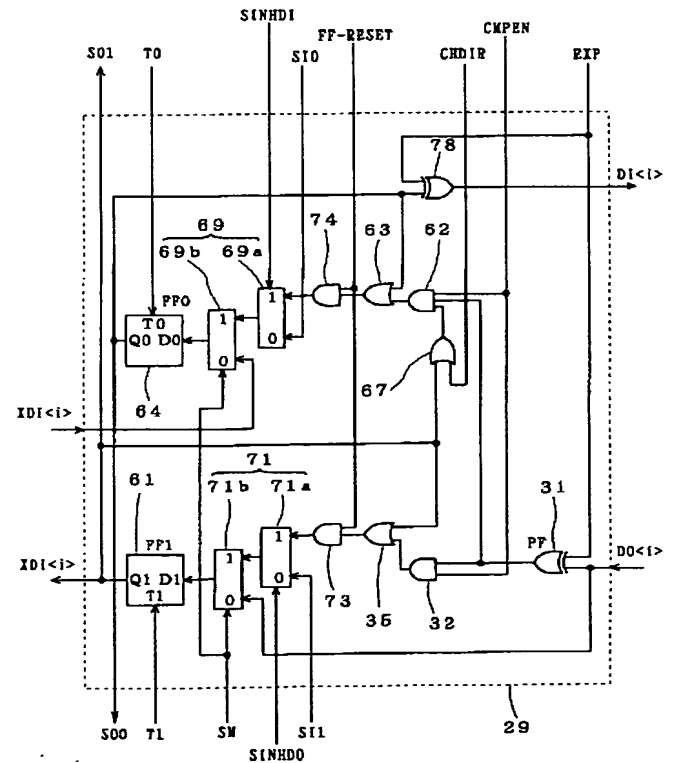
【図 24】



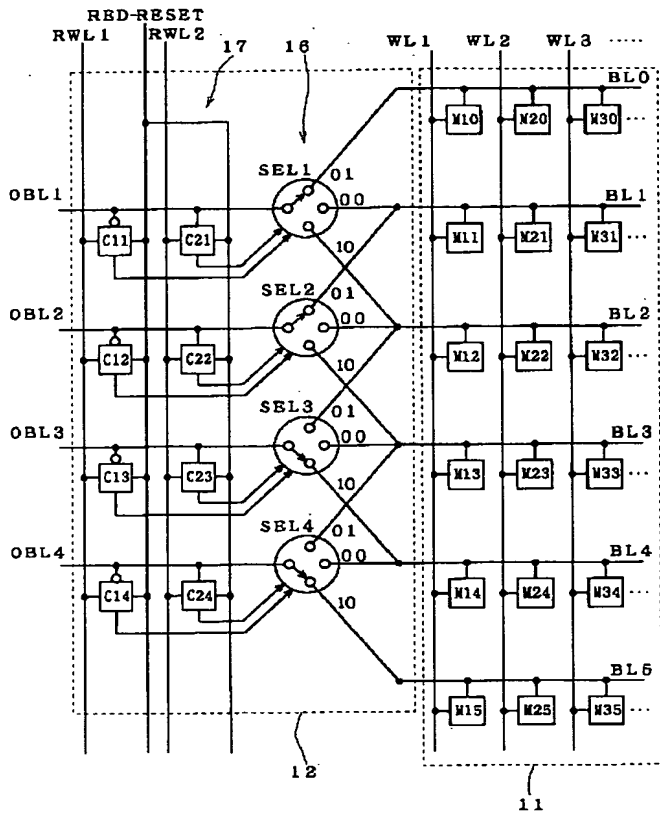
【図 25】



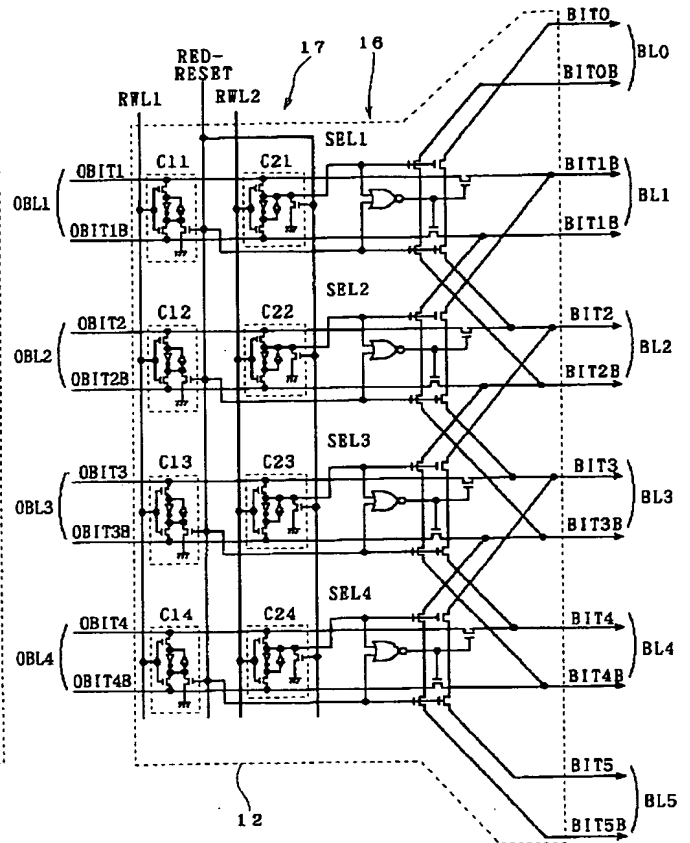
【図 28】



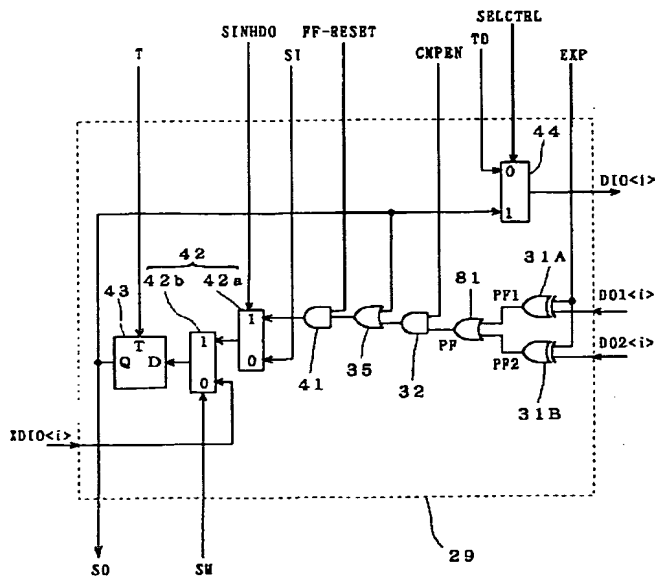
【図26】



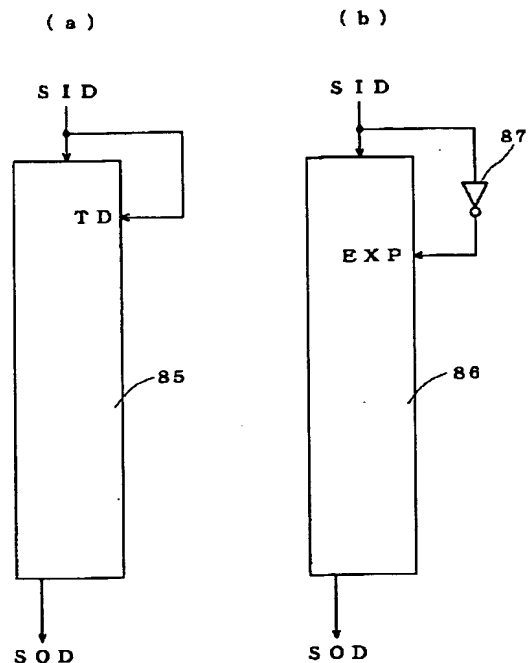
【図27】



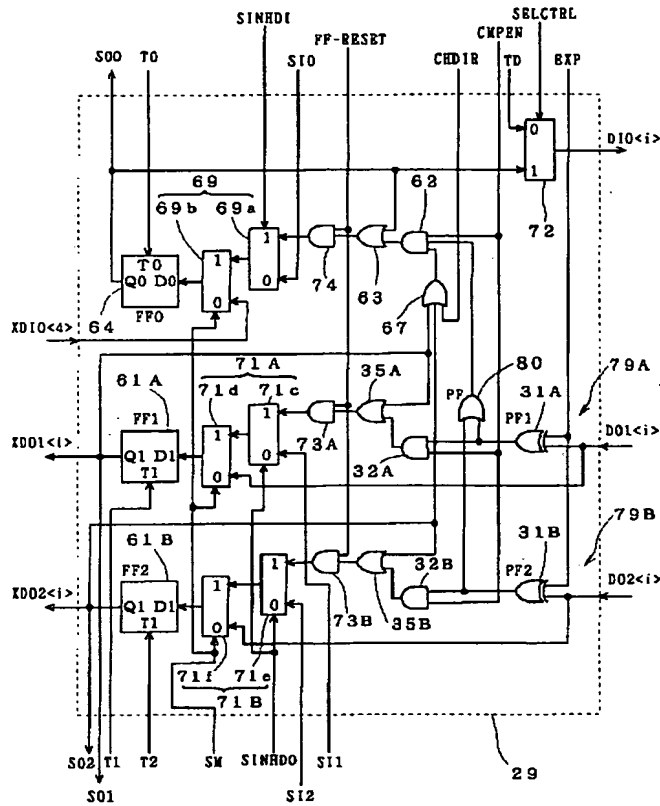
【図31】



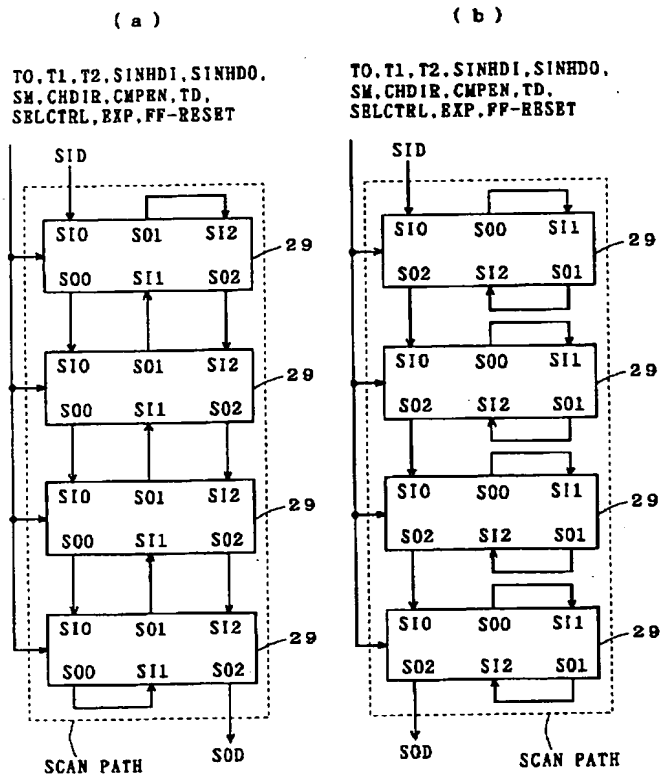
【図32】



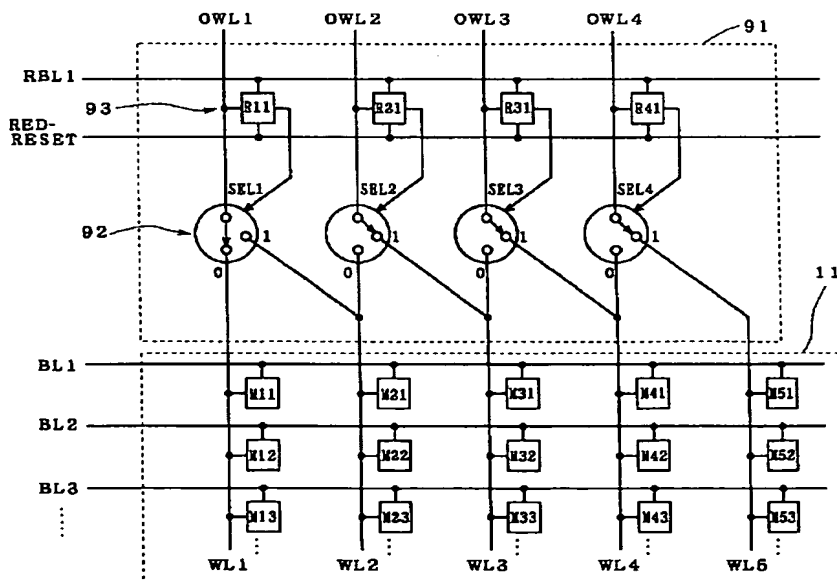
【図 29】



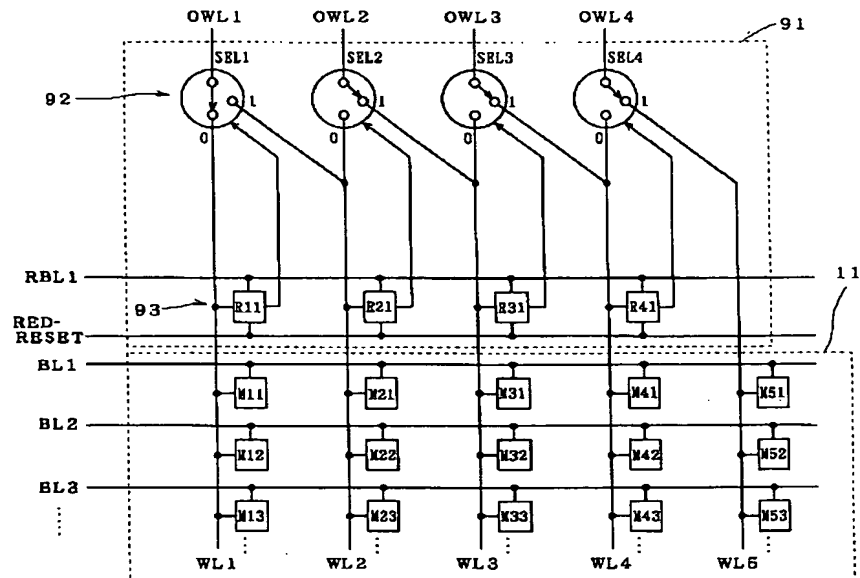
【図 30】



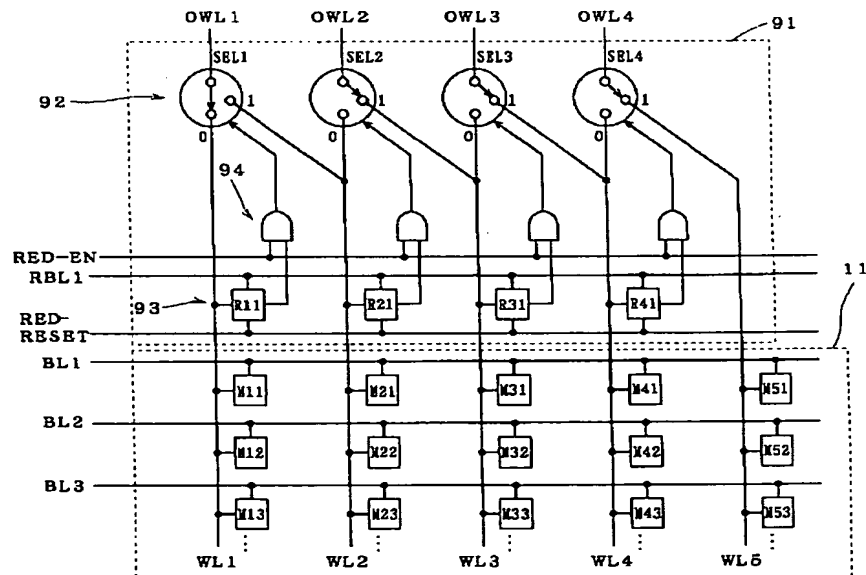
【図 33】



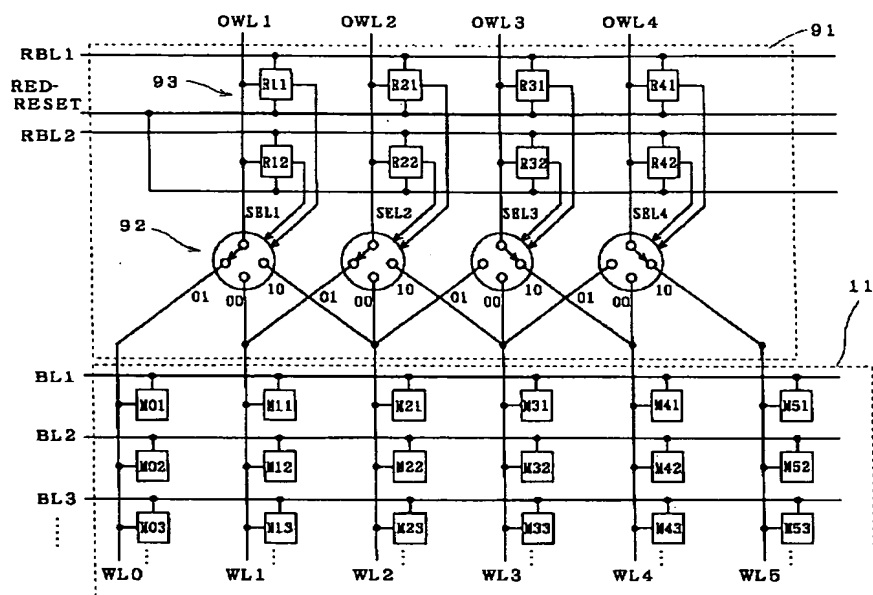
【図34】



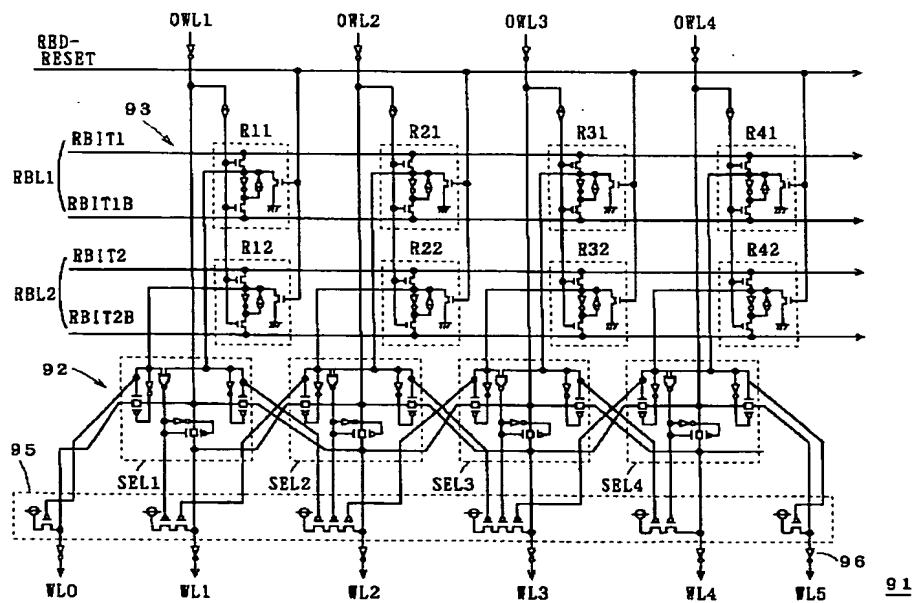
【図35】



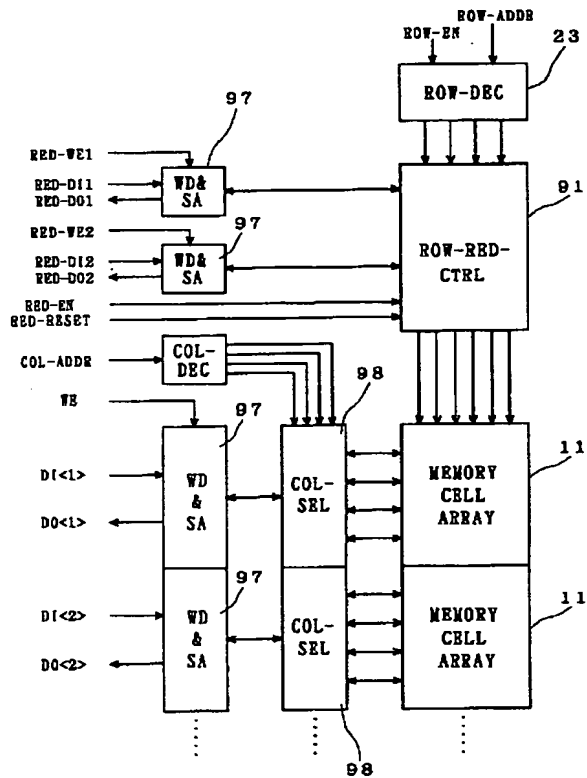
【図36】



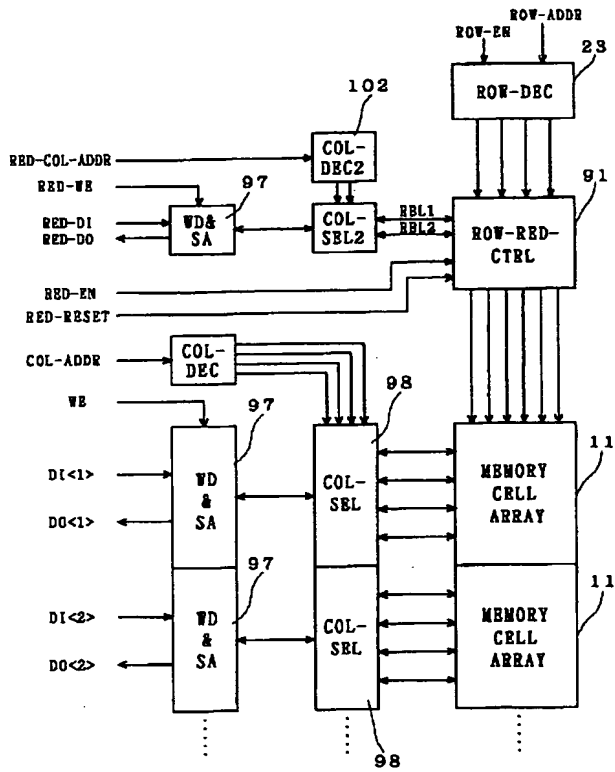
【図37】



【図 38】

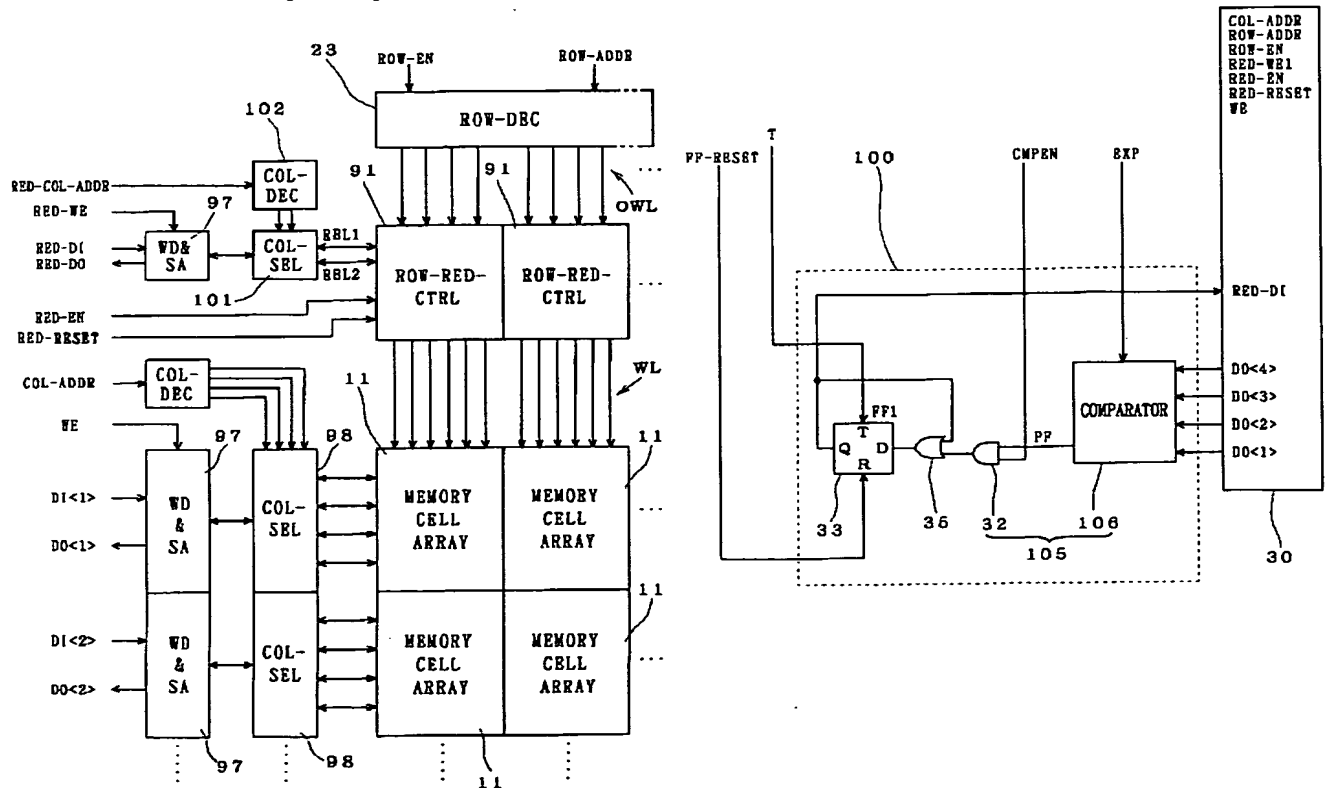


【図 39】

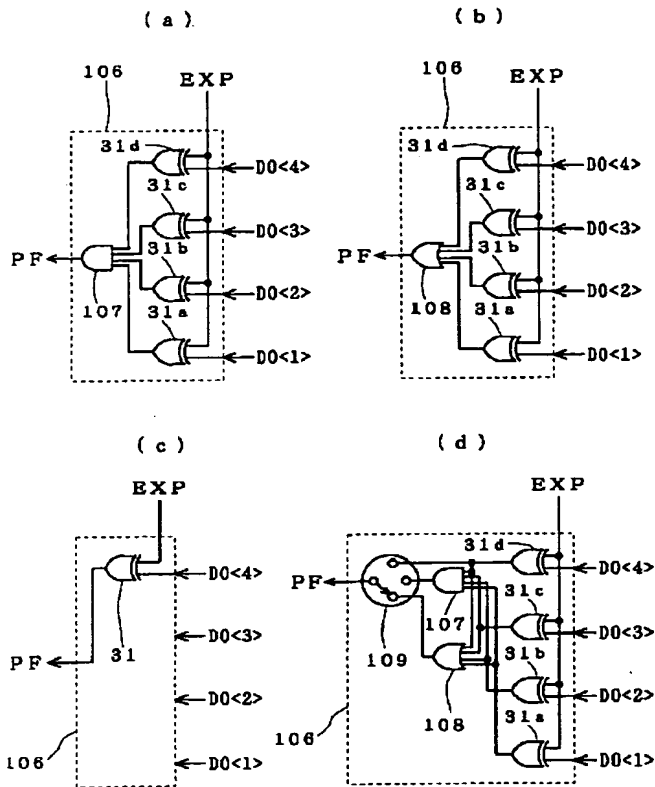


【図 41】

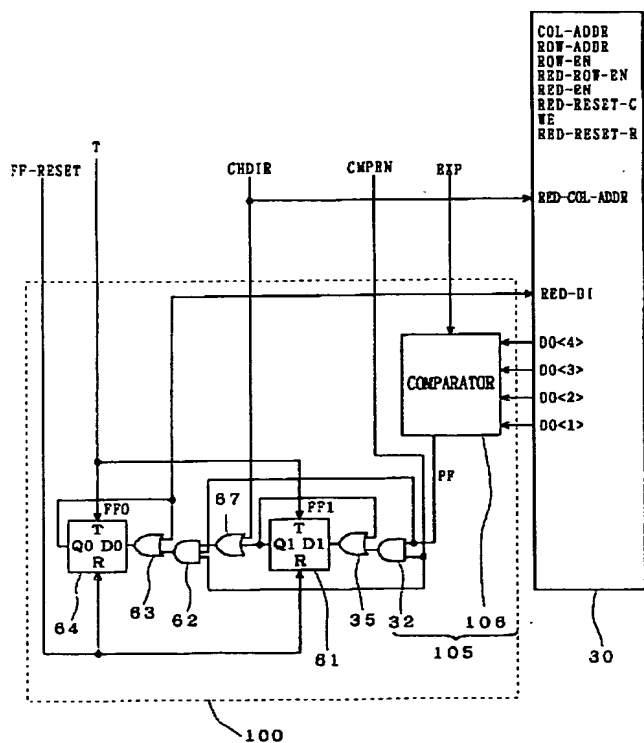
【図 40】



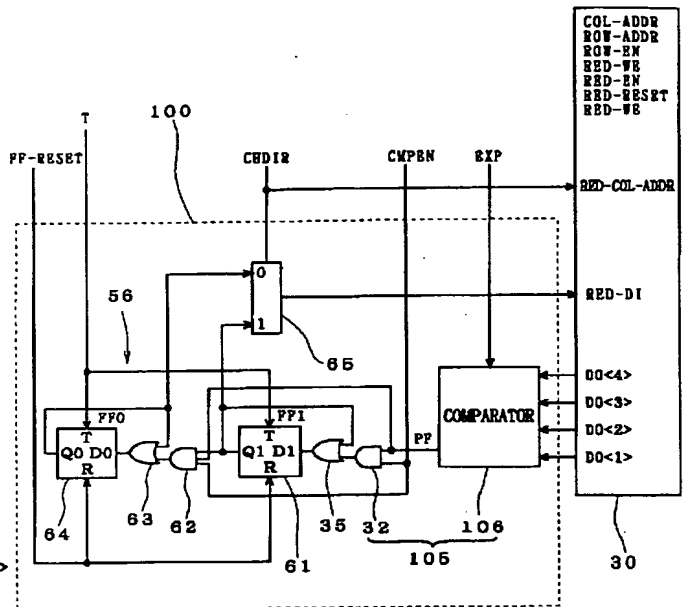
【図42】



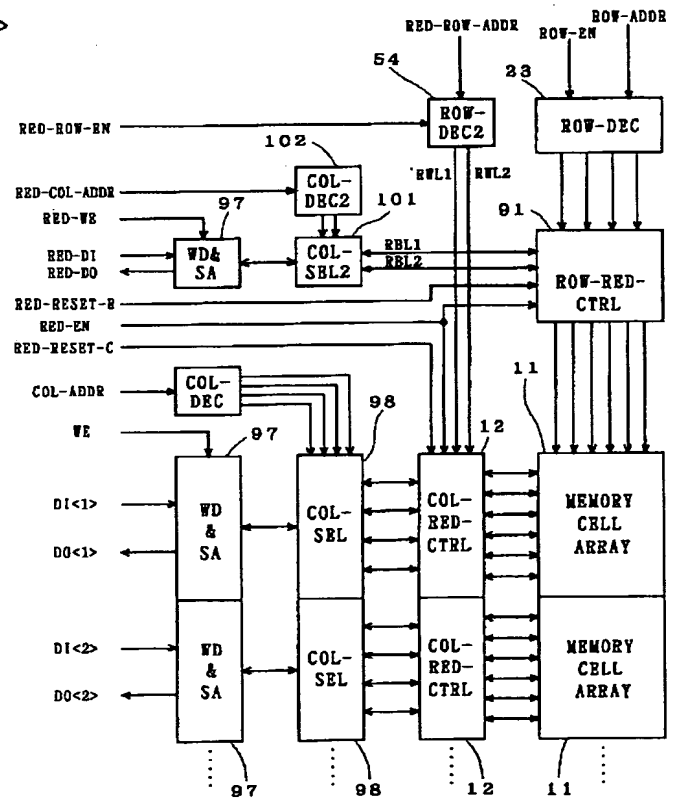
【図44】



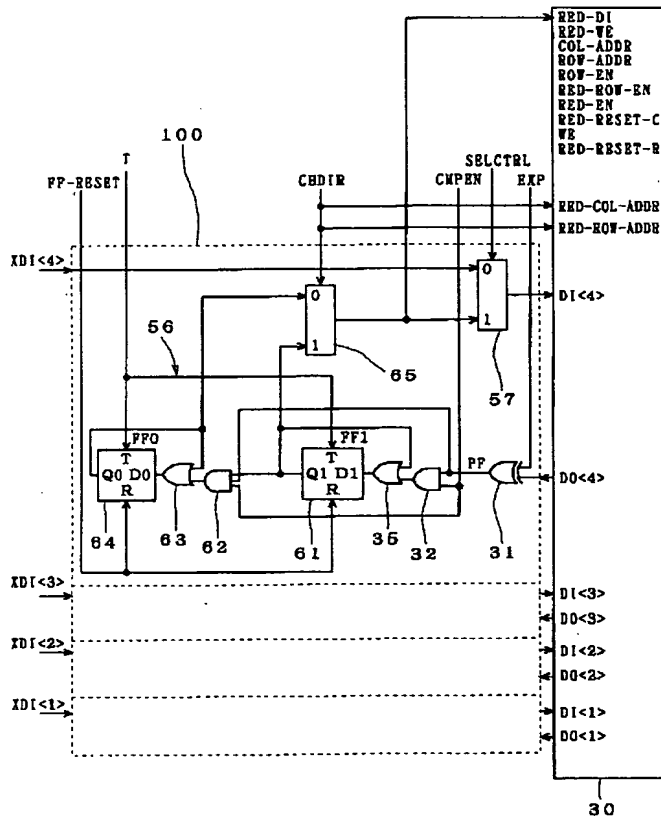
【図43】



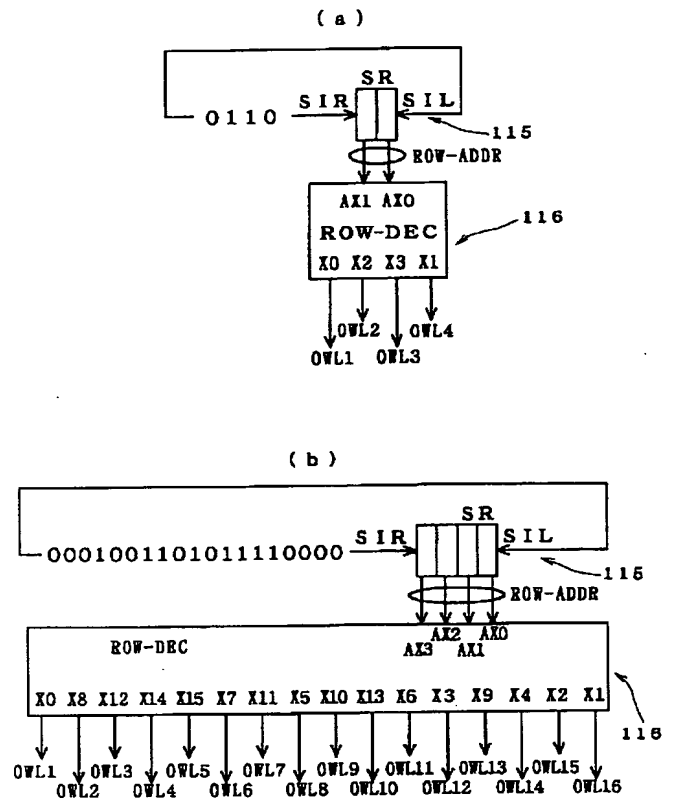
【図45】



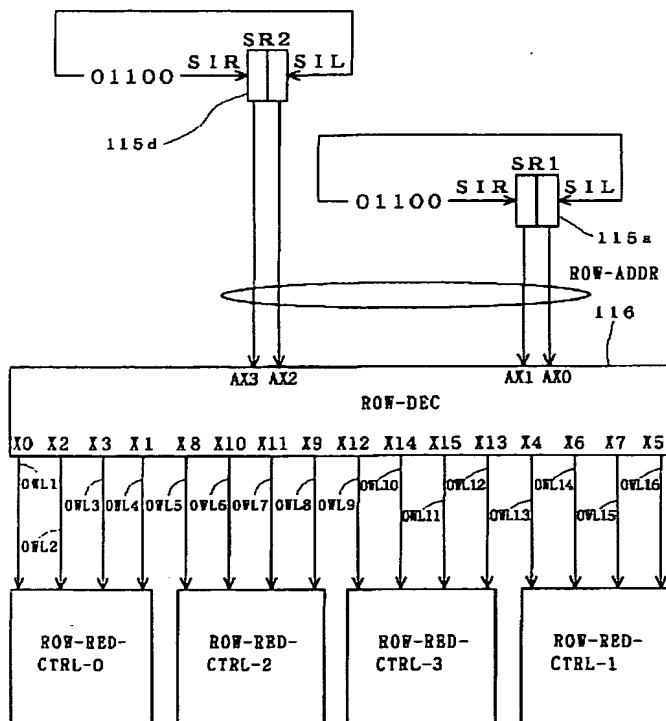
【図 46】



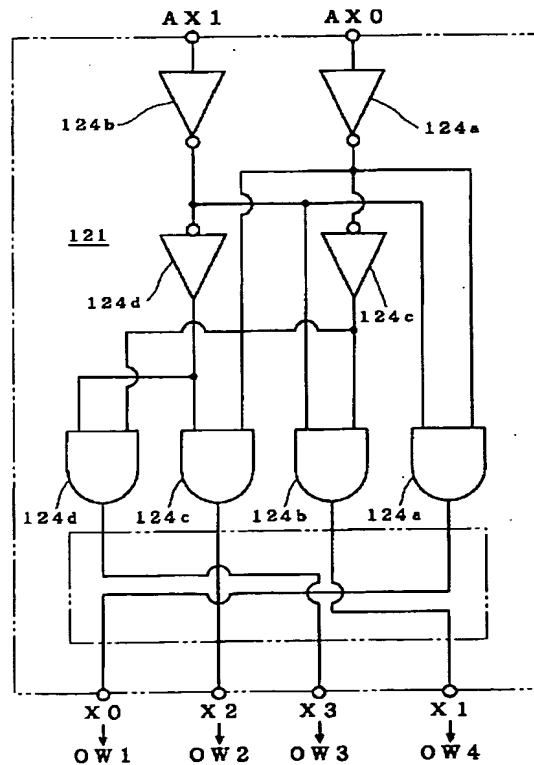
【図 50】



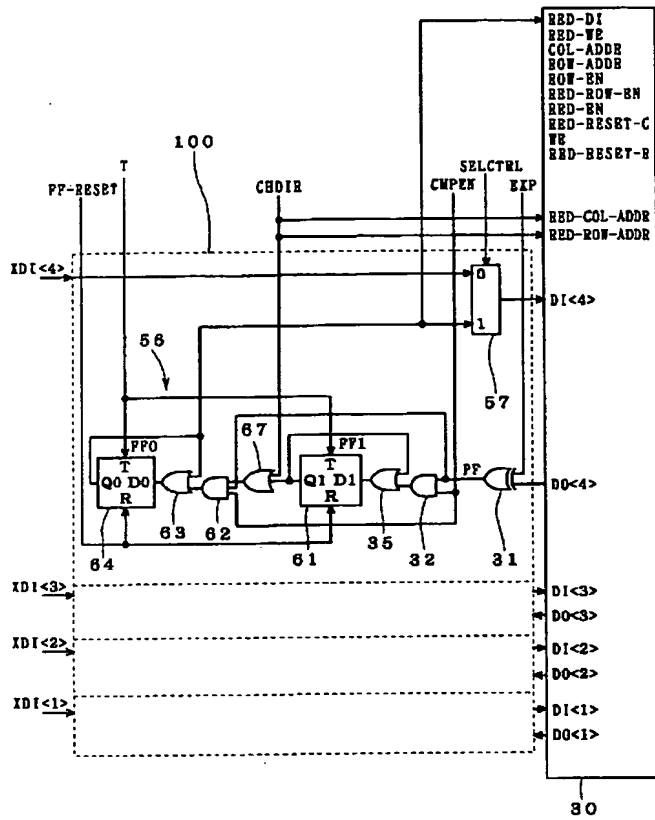
【図 52】



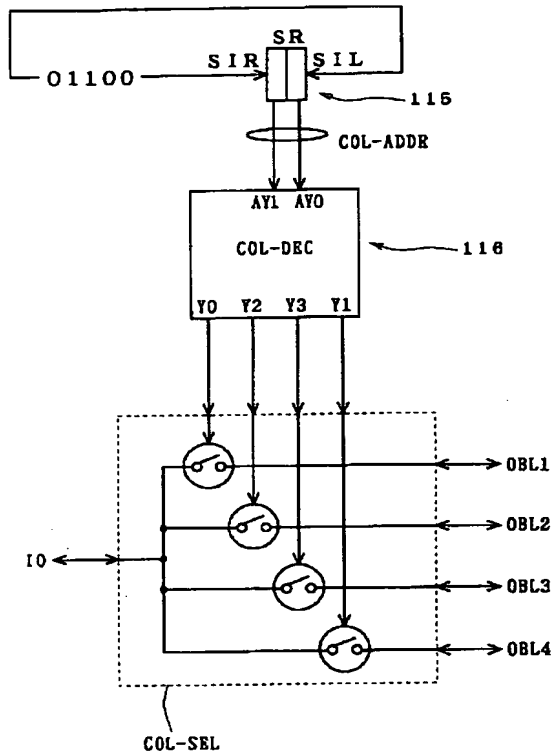
【図 51】



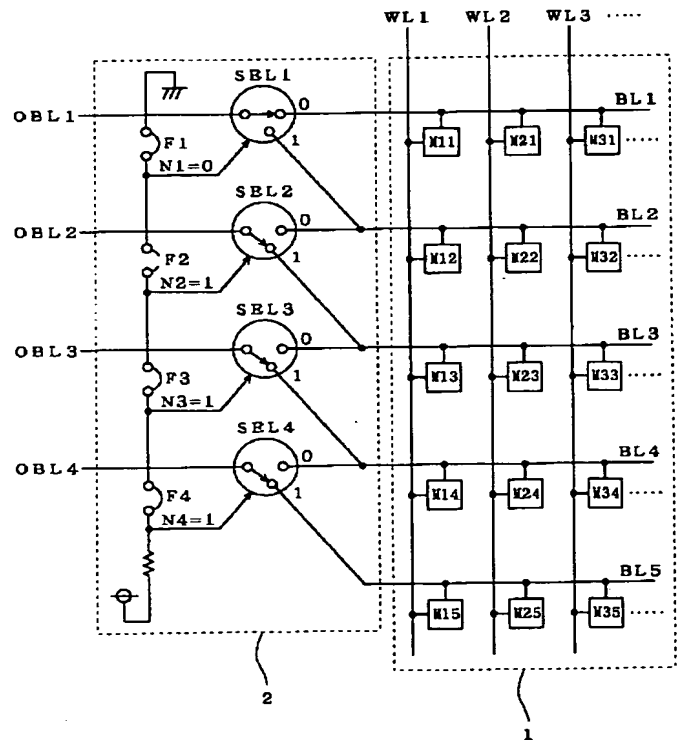
【図47】



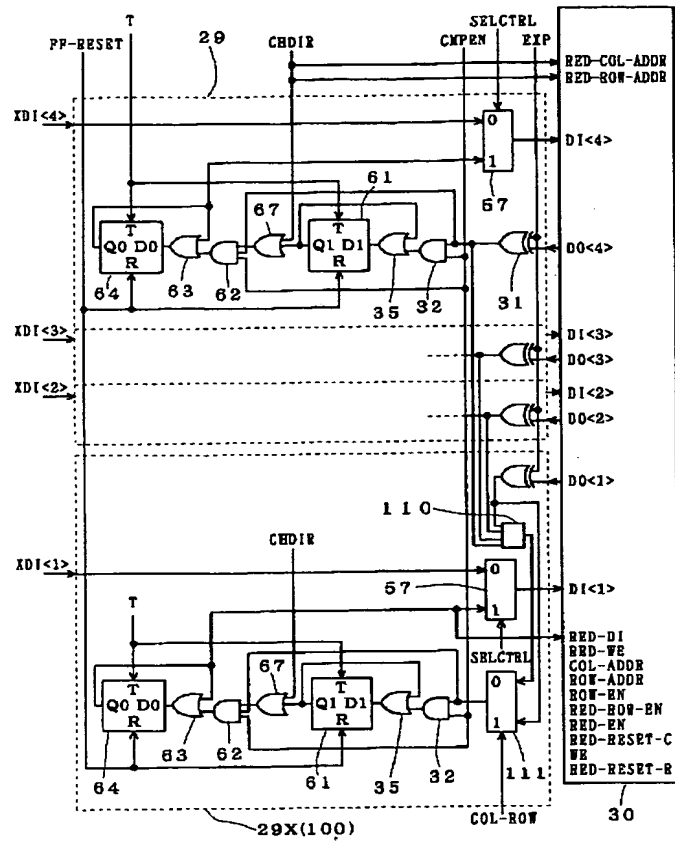
【図53】



【図54】



【図 4 9】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成14年8月9日(2002.8.9)

【公開番号】特開平8-335399
【公開日】平成8年12月17日(1996.12.17)
【年通号数】公開特許公報8-3354
【出願番号】特願平7-140605
【国際特許分類第7版】

G11C 29/00 301
303

【FI】

G11C 29/00 301 C
303 B

【手続補正書】

【提出日】平成14年5月21日(2002.5.21)

【手続補正1】

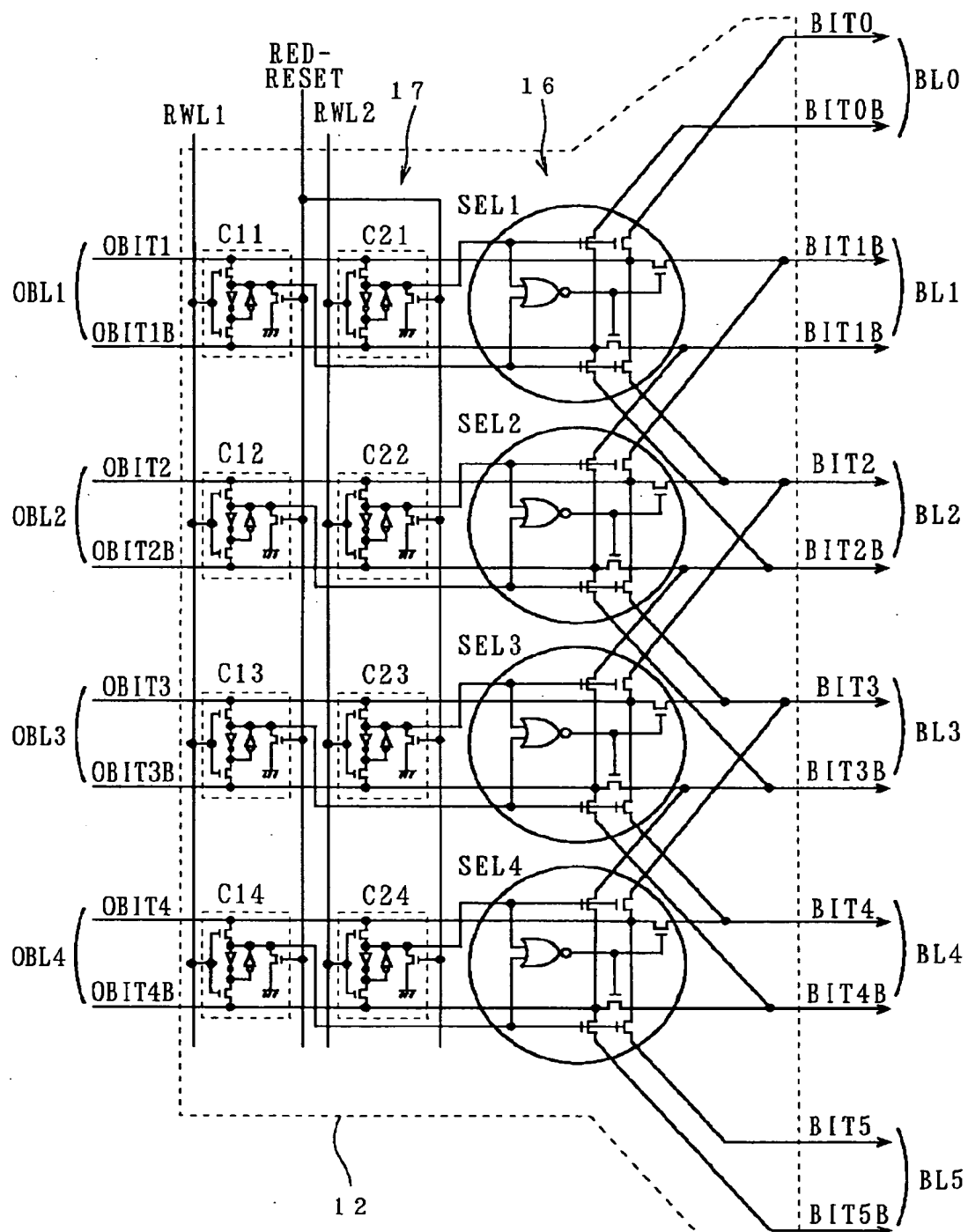
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

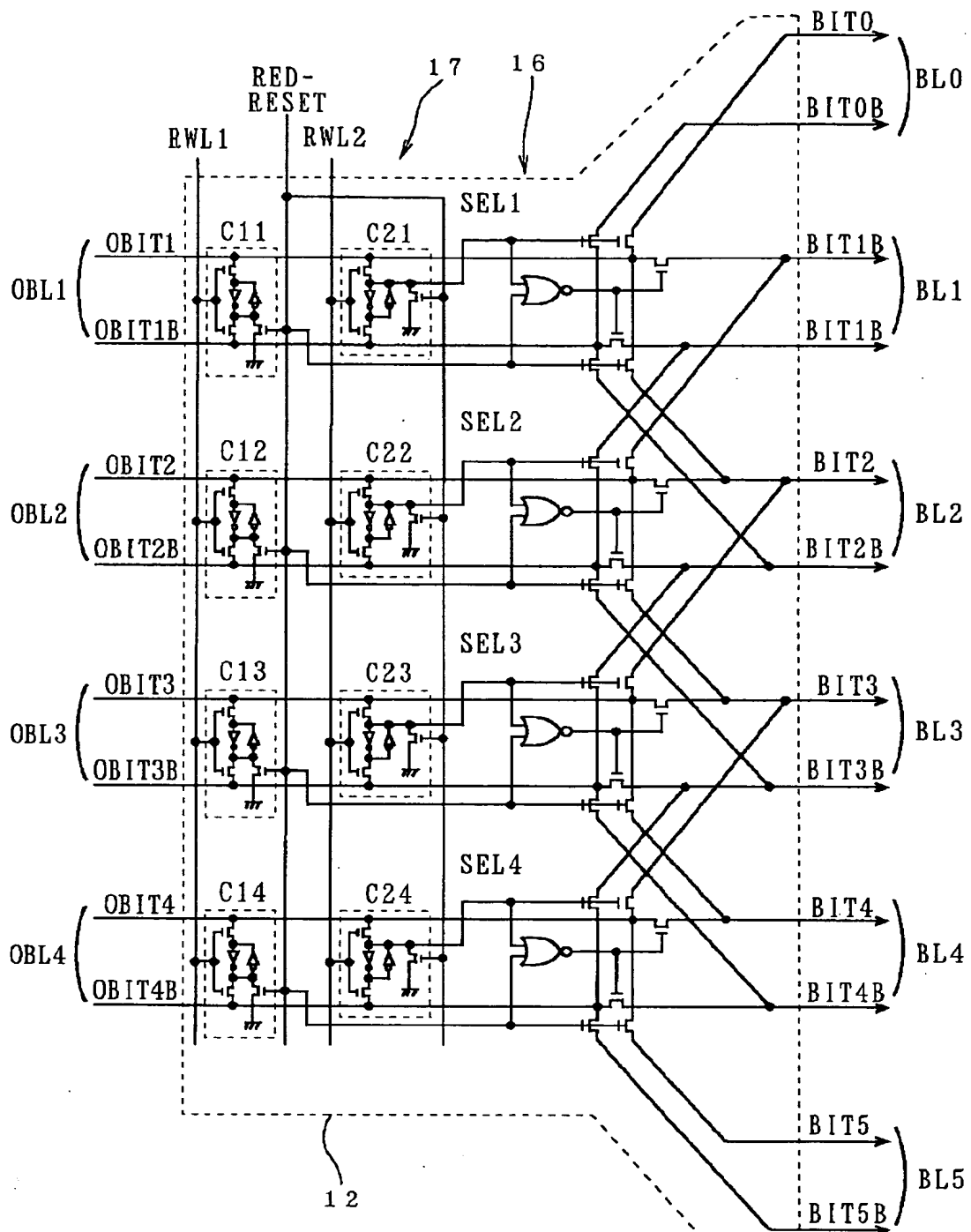
【補正内容】

【図6】



【手続補正2】
 【補正対象書類名】図面
 【補正対象項目名】図27

【補正方法】変更
 【補正内容】
 【図27】



【手続補正3】

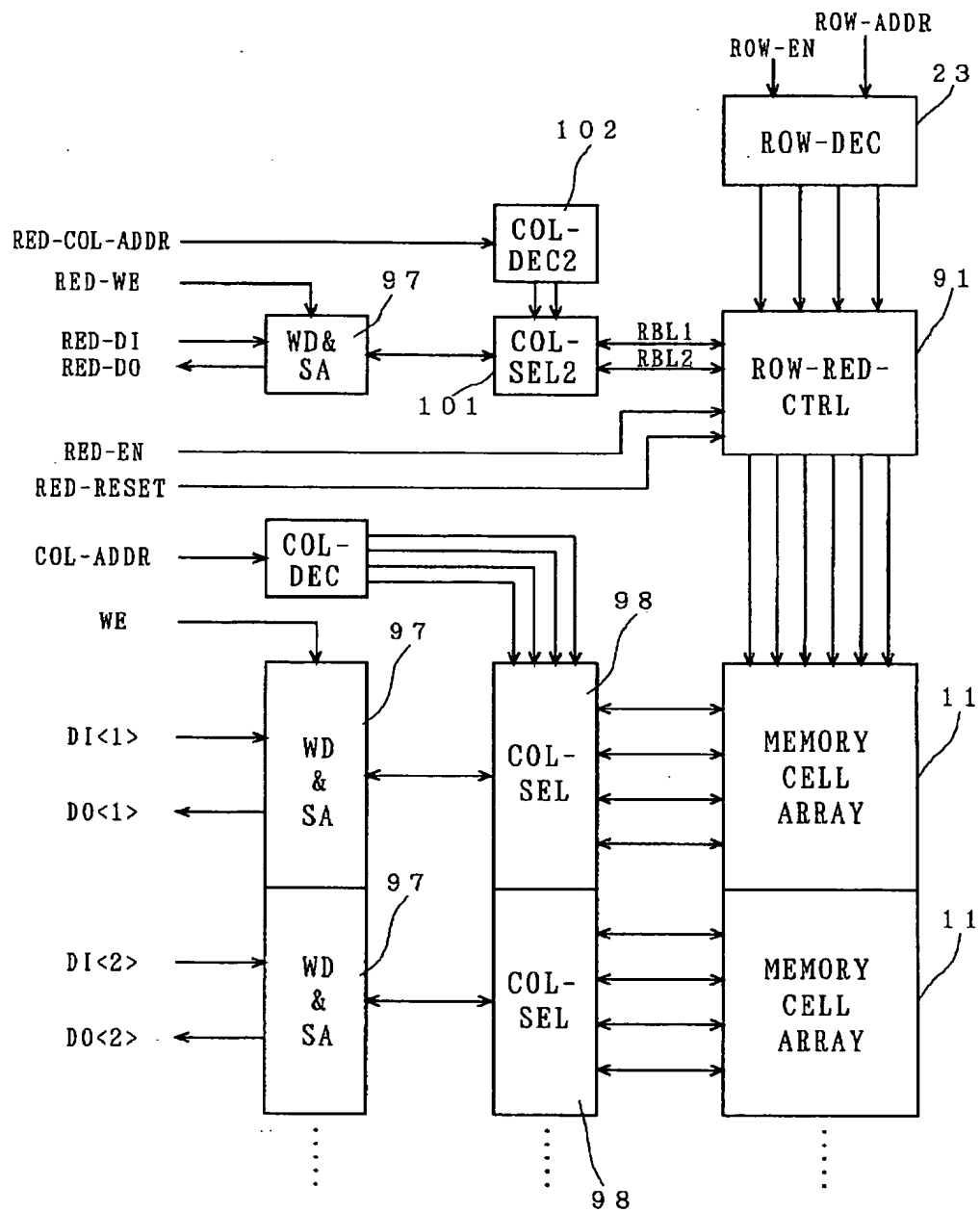
【補正対象書類名】図面

【補正対象項目名】図39

【補正方法】変更

【補正内容】

【図39】



【手続補正4】

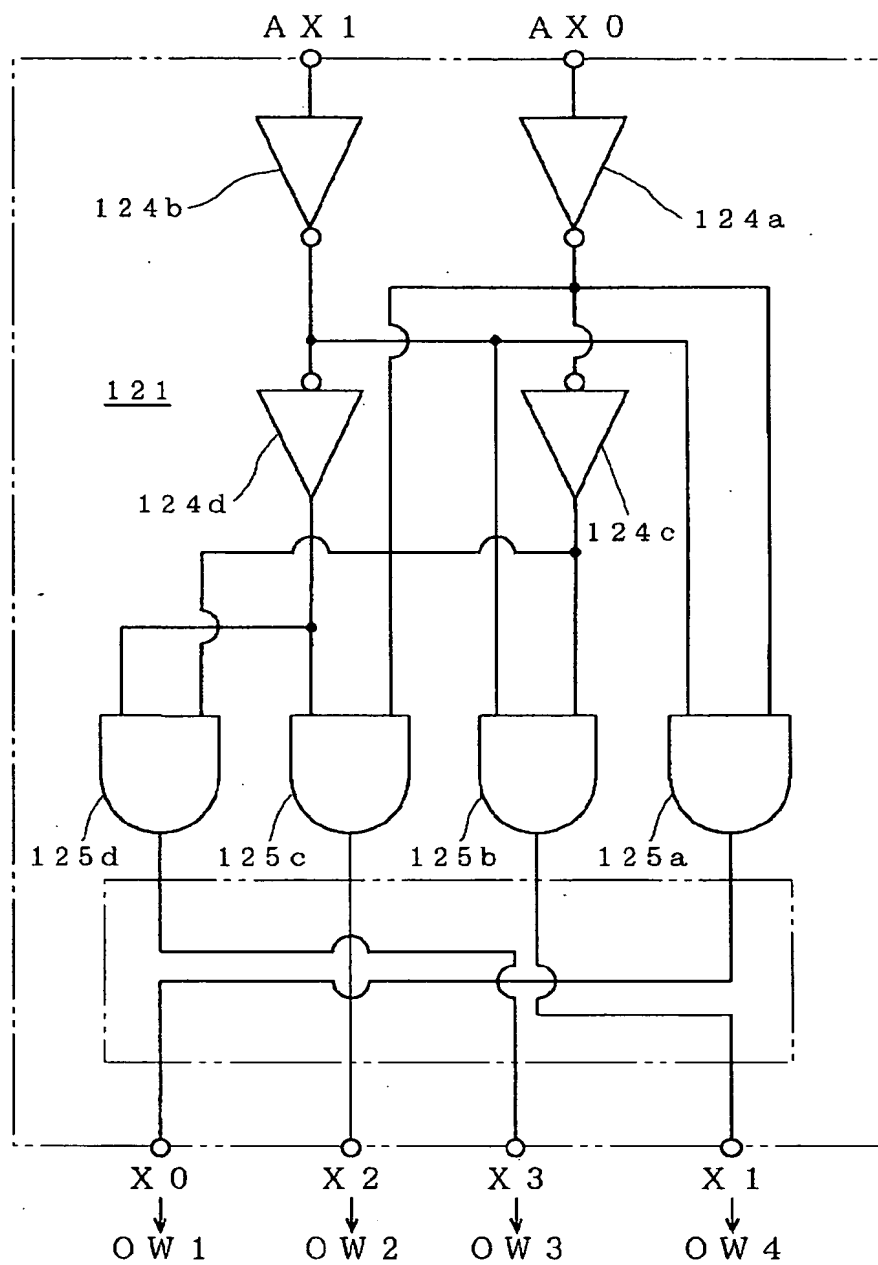
【補正対象書類名】図面

【補正対象項目名】図51

【補正方法】変更

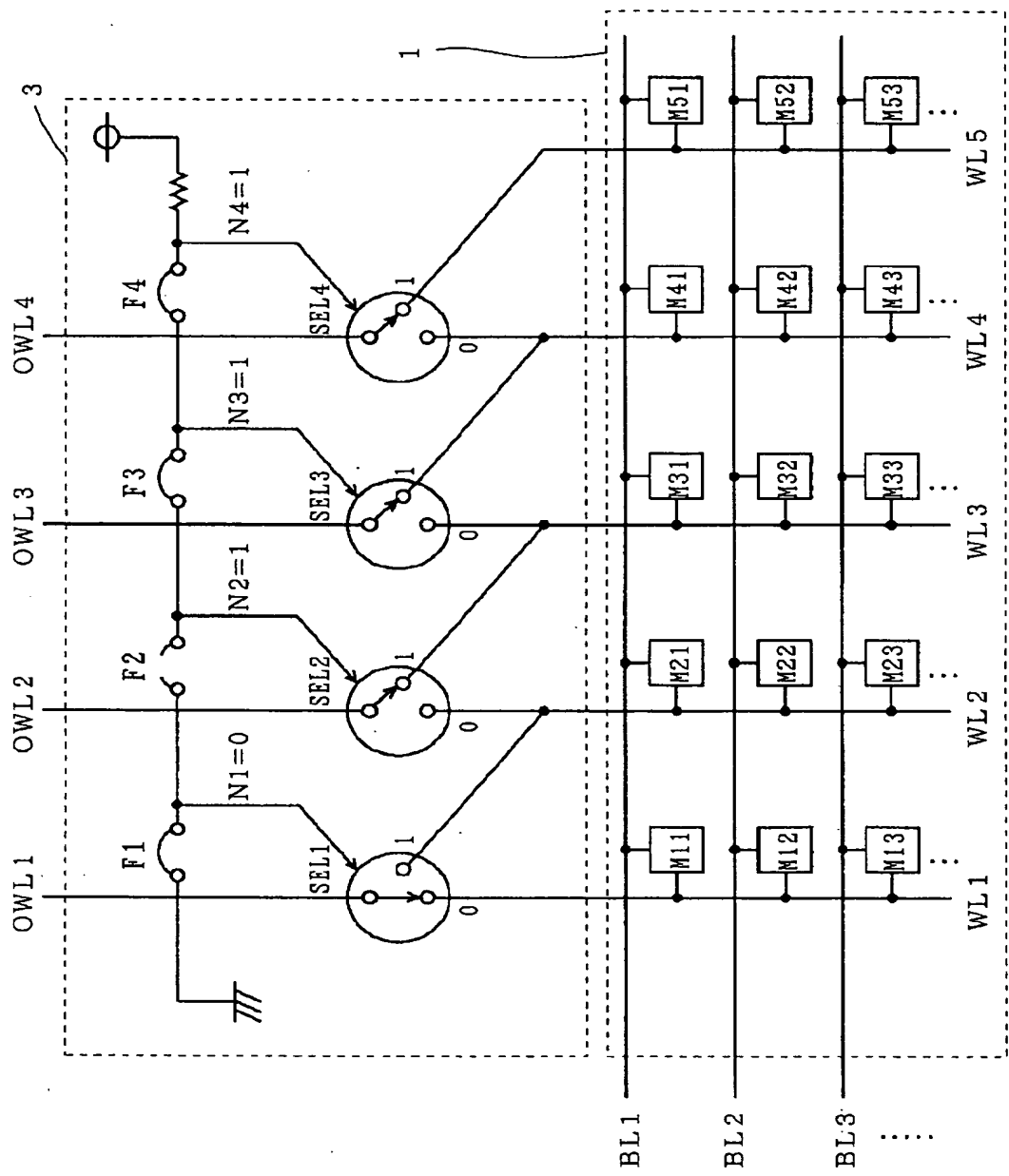
【補正内容】

【図51】



【手続補正5】
 【補正対象書類名】図面
 【補正対象項目名】図55

【補正方法】変更
 【補正内容】
 【図55】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.